

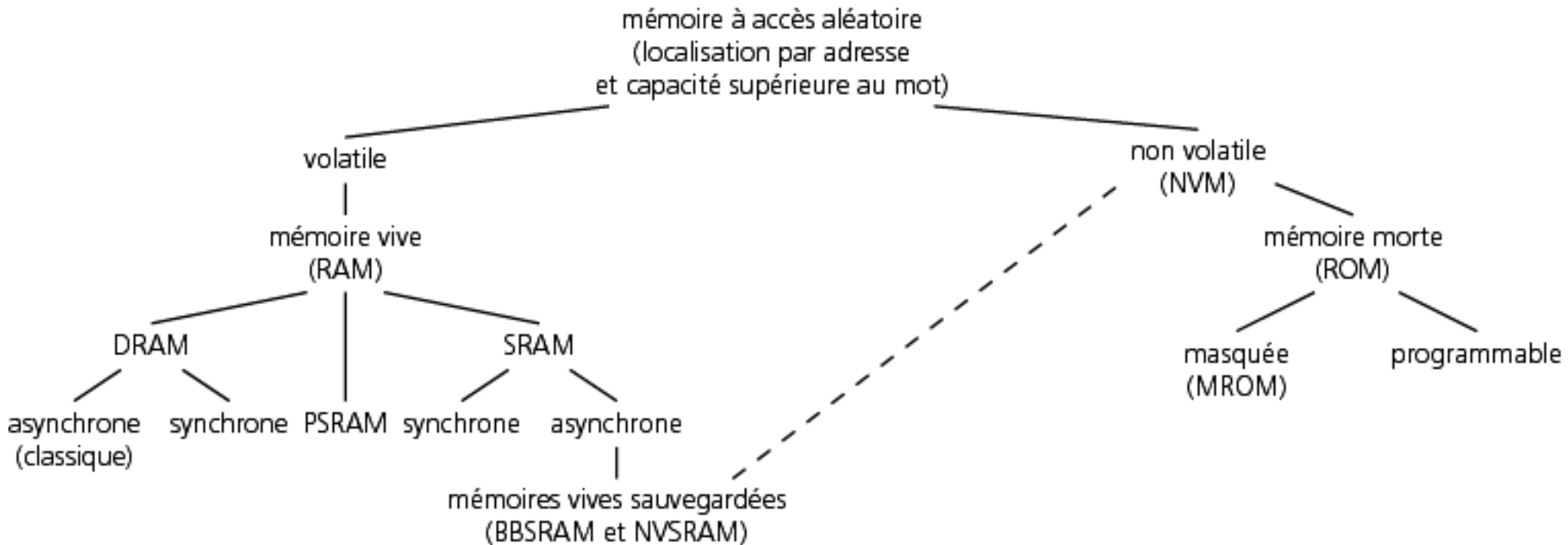
Architecture des ordinateurs

21 - Les mémoires vives à semi-conducteurs
à accès aléatoire

Partie I : Généralités - le modèle asynchrone

Philippe Darche
IUT Paris Descartes

Une taxonomie simplifiée des mémoires à semi-conducteurs



Précision importante

- L'adressage aléatoire d'une RAM ou une ROM
 - une adresse permet d'accéder à n'importe quelle cellule de mémorisation **avec un temps d'accès identique**
- A ne pas confondre avec l'adressage direct
 - pour une unité de mémoire de masse type HDD
 - une adresse permet d'accéder à n'importe quel secteur de l'unité **avec un temps d'accès variable, fonction de la position de celui-ci sur le support**

Du vocabulaire de mémoires à semi-conducteurs

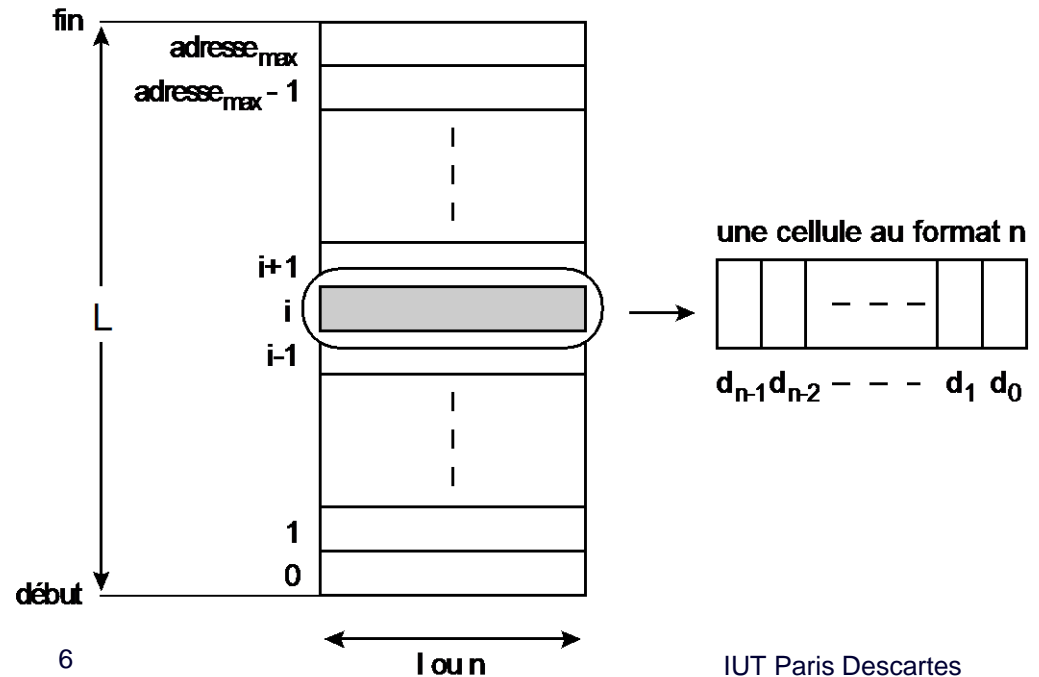
- Mémoires volatiles ou RAM
 - *Random Access Memory*
(mauvaise traduction : mémoire à accès aléatoire !)
 - SRAM pour *Static RAM*
 - version synchrone : SSRAM pour *Synchronous SRAM*
 - DRAM pour *Dynamic RAM*
 - version synchrone : SDRAM pour *Synchronous DRAM*
- Mémoires non volatiles (NVM)
 - ROM ou *Read Only Memory*
 - version masquée (MROM) ou programmable

Versions spéciales

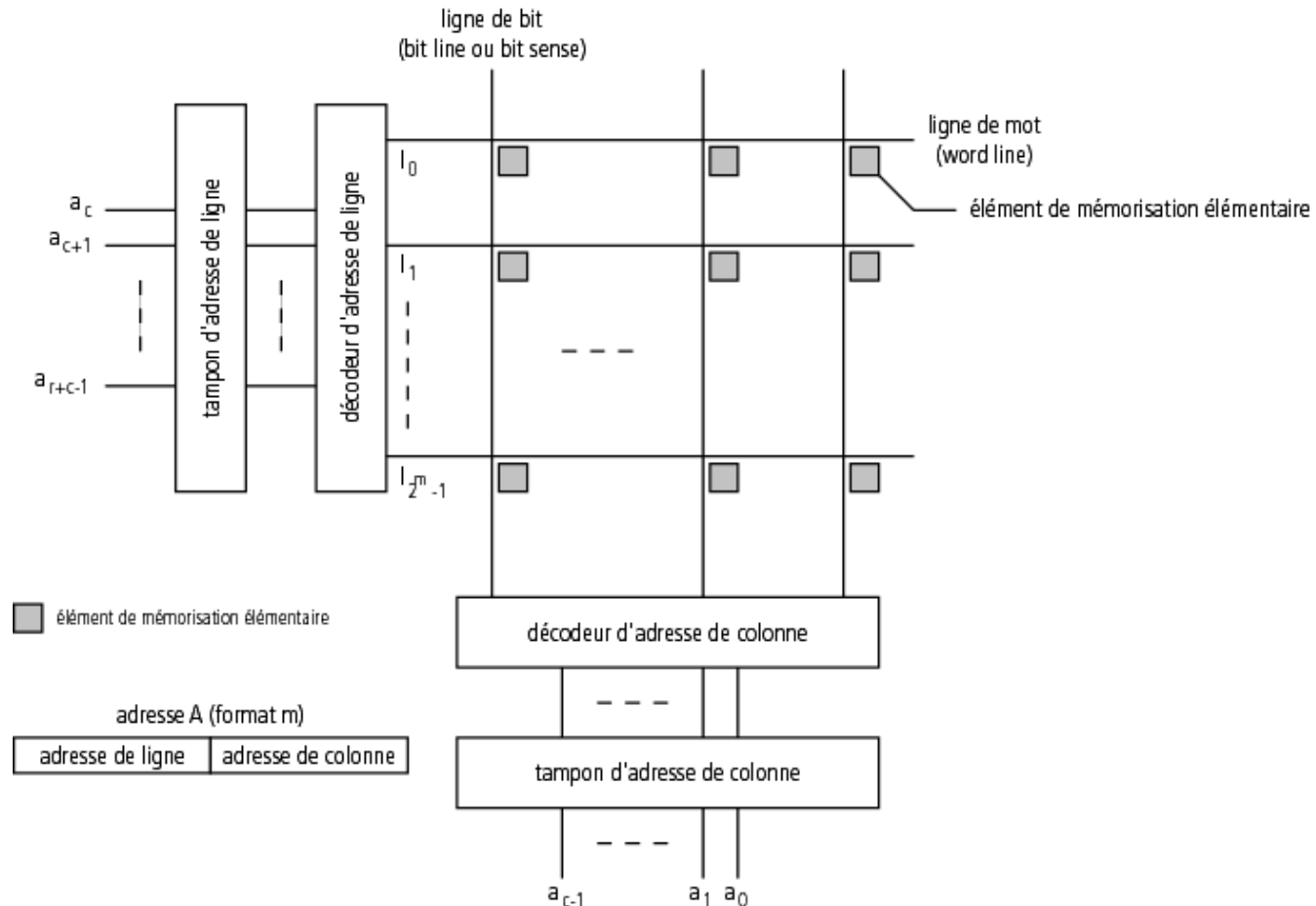
- Les mémoires vives sauvegardées
 - BBSRAM (*Battery-Backed SRAM*)
 - mémoire vive alimentée par une source énergétique autonome
 - exemple : la mémoire « CMOS » du PC
 - NVSRAM (*Non Volatile SRAM*)
 - mémoire morte en arrière-plan de la SRAM
 - sauvegarde sur demande
- La mémoire vive pseudo-statique
 - PSRAM pour *PseudoStatic* RAM
 - circuit de rafraîchissement intégré

Organisation

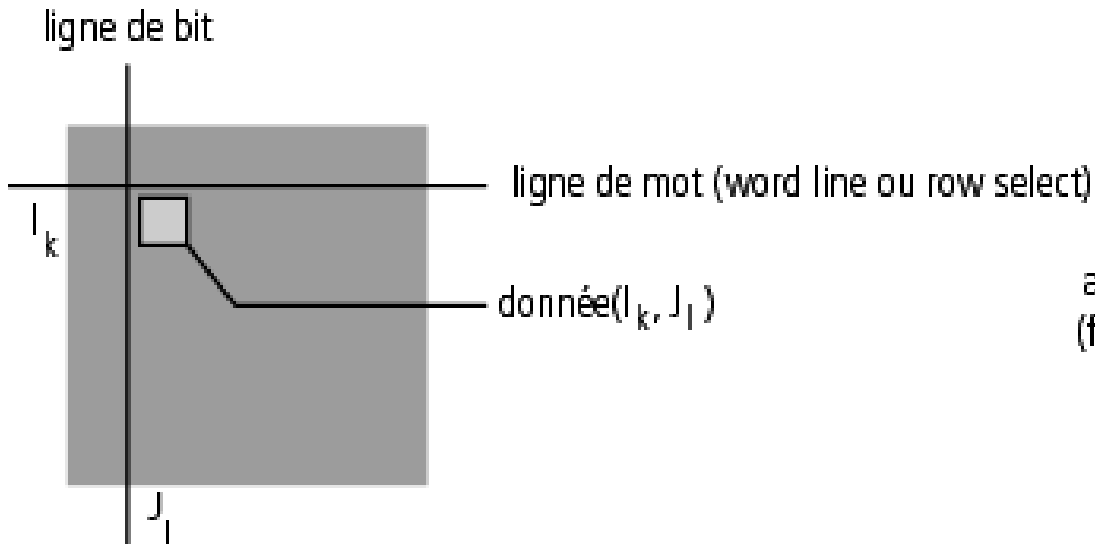
- Renseigne sur l'arrangement physique des cellules dans la mémoire
- Organisation = longueur $L \times$ largeur n
 - exemple : 1 G \times 8 (bits)



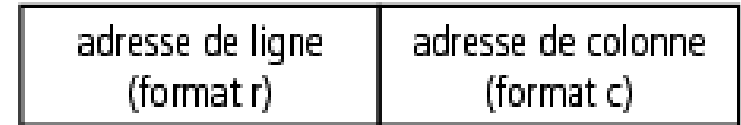
Structure interne d'une mémoire générique



Décomposition de l'adresse en interne



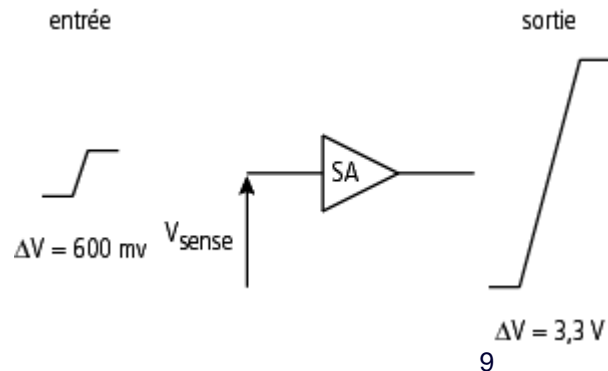
adresse A
(format m)



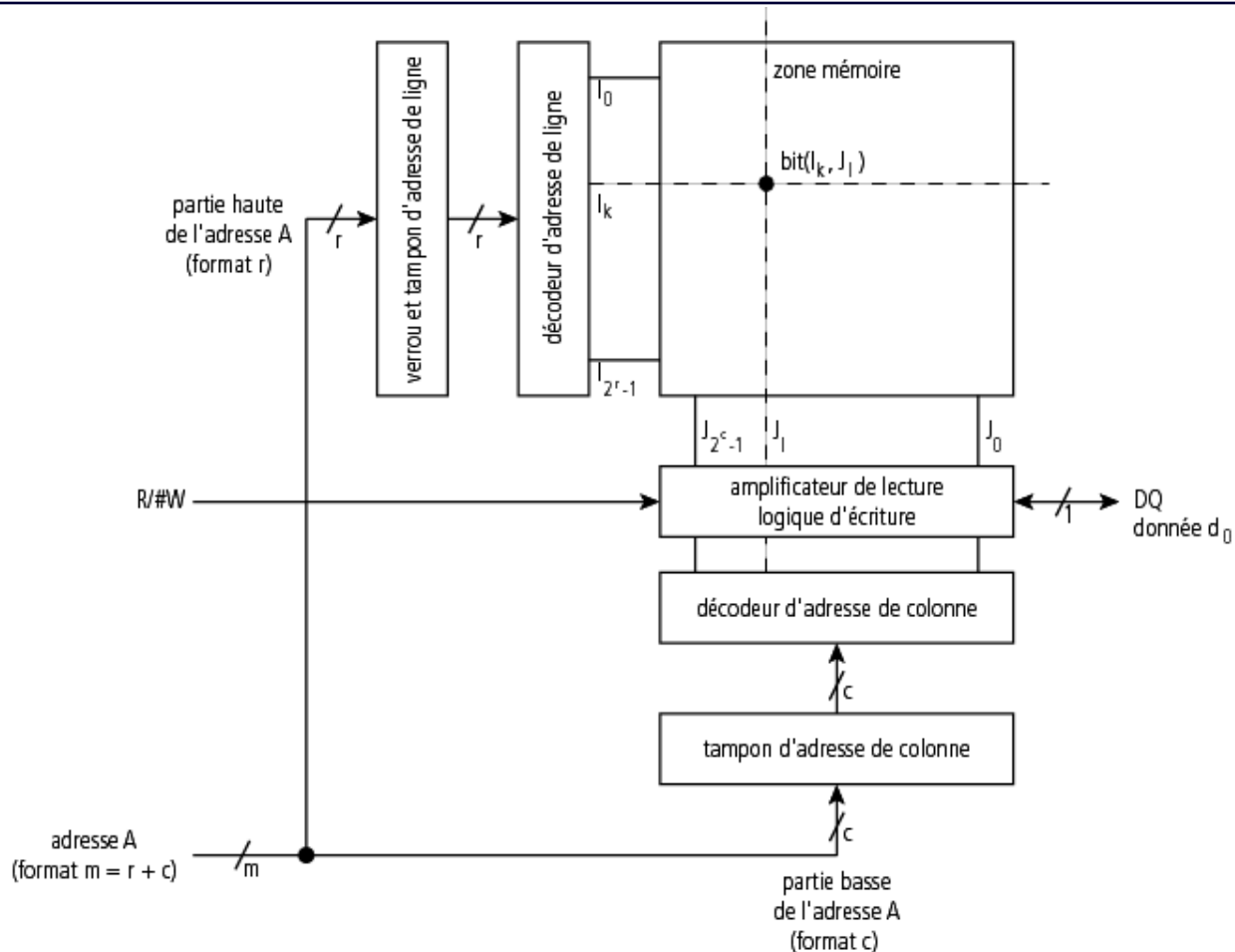
a_{r+c-1} ——— a_c a_{c-1} ——— a_0

L'amplificateur de lecture

- *Sense Amplifier (SA)*
- Se situe en fin de chaque colonne
- Fonction : interpréter le niveau de tension de la cellule V_s (≈ 600 mV pour une DRAM)
 - $V_s \leq 0,3$ V \Leftrightarrow info = "1" sinon "0"



Structure interne détaillée d'une mémoire

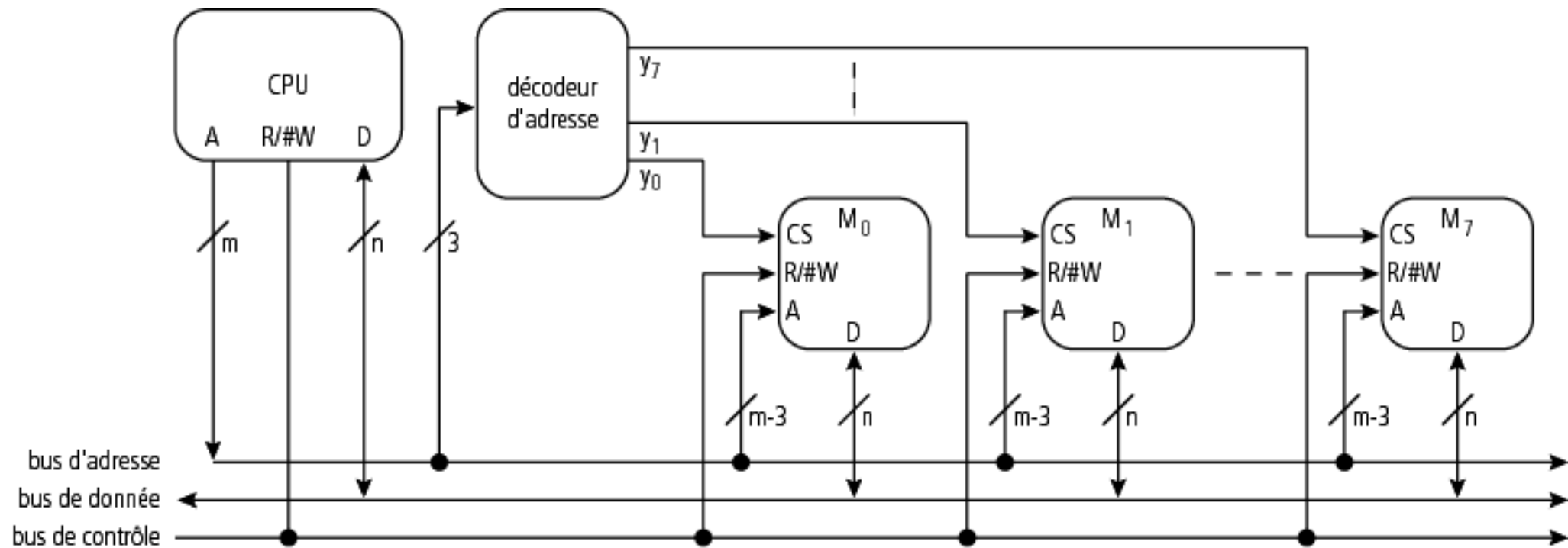


Problème

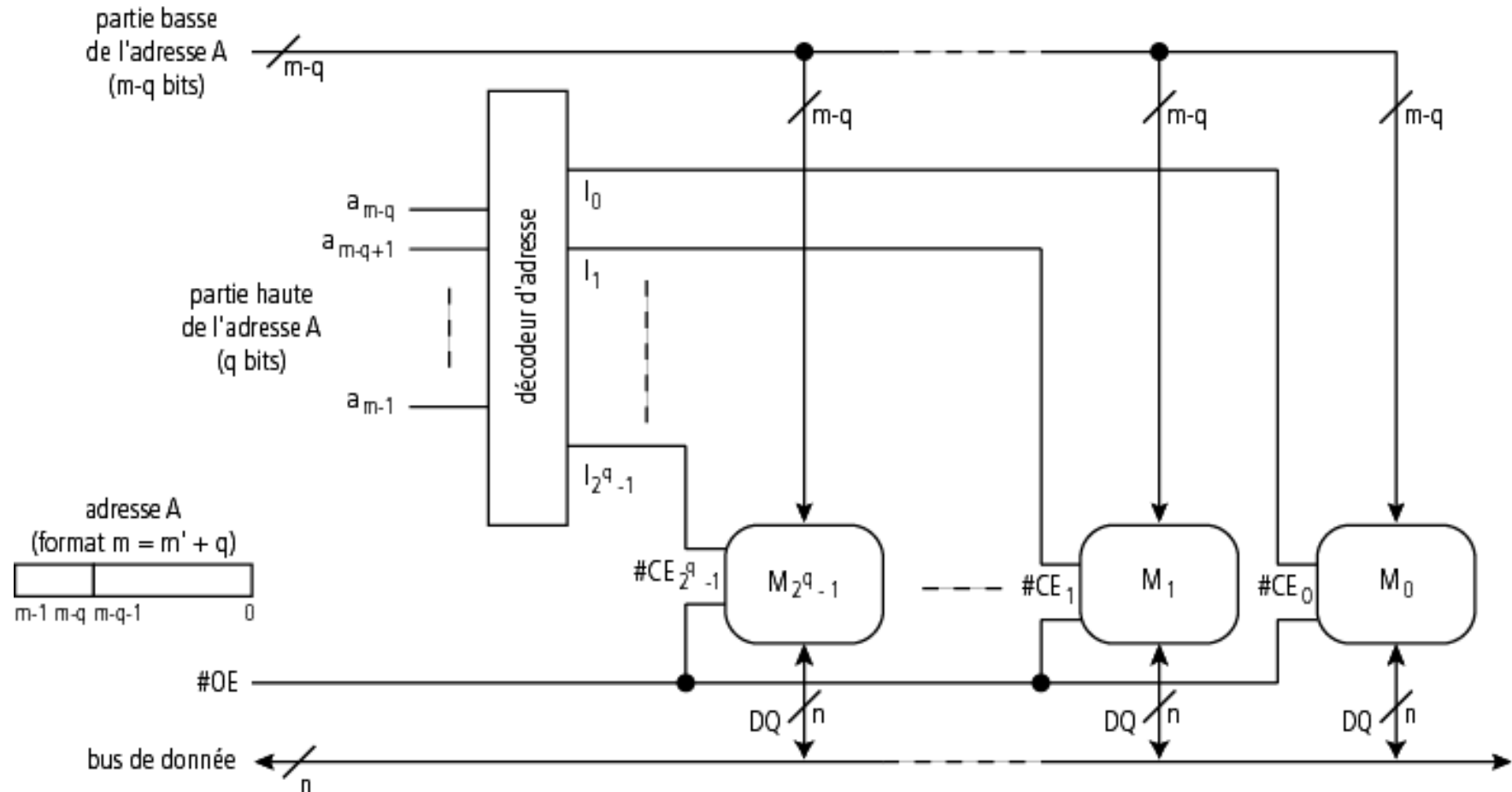
- Comment un maître (CPU) peut dialoguer avec un esclave (mémoire ou contrôleur d'E/S) parmi k ?
 - la réponse : un signal de sélection
 - *Chip Select* (#CS) ou *Chip Enable* (#CE)

Le décodeur d'adresse en situation

□ Exemple avec 8 mémoires



Le décodeur d'adresse en situation - généralisation

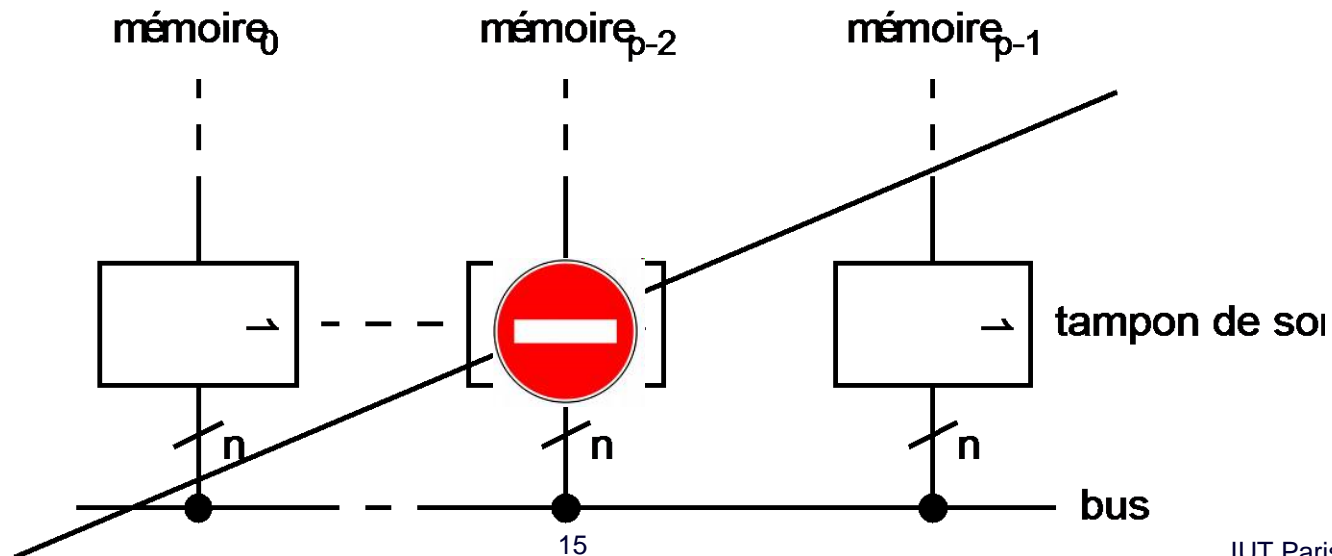


Les signaux de contrôle (synthèse)

- Pour commander une mémoire vive, il faut :
 - un signal de sélection du composant
 - *Chip Select* (#CS) ou *Chip Enable* (#CE)
 - relié à une sortie du décodeur binaire
 - un signal de lecture (#R) et un d'écriture (#W)
 - en général combinés (R/#W)

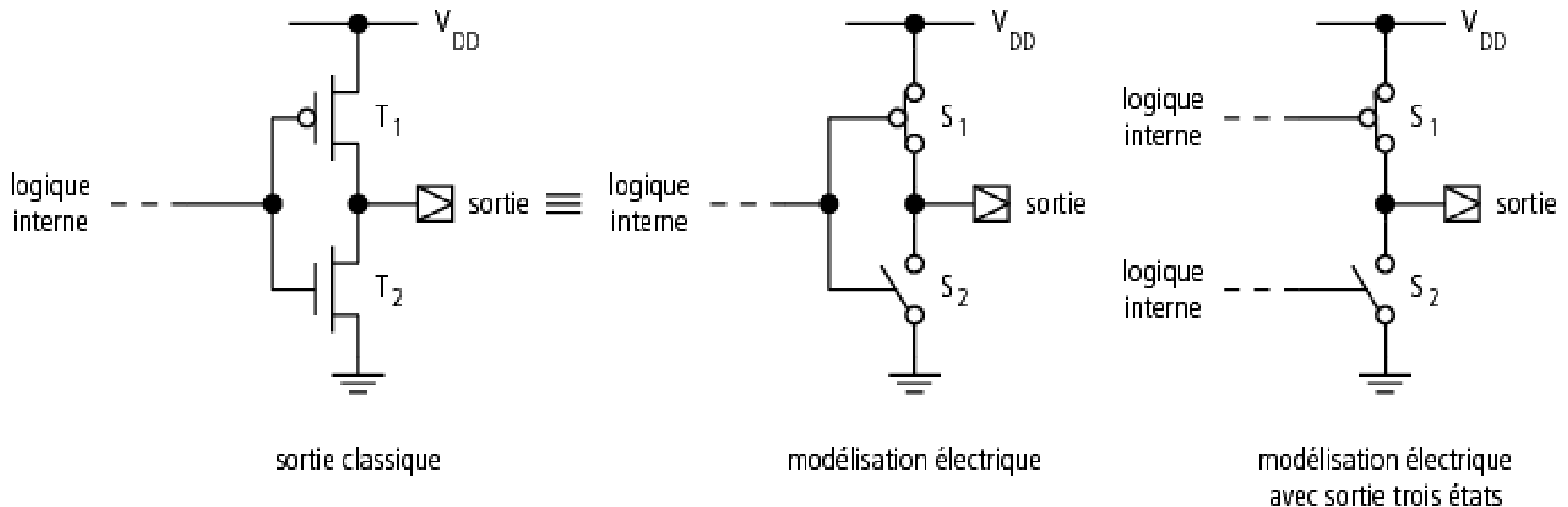
Un autre problème lié au bus

- En lecture, toutes les sorties se partagent le même bus
 - ⇒ risque de court-circuit
- la solution : la sortie trois-états
(*three-state* ou *tristate logic*)



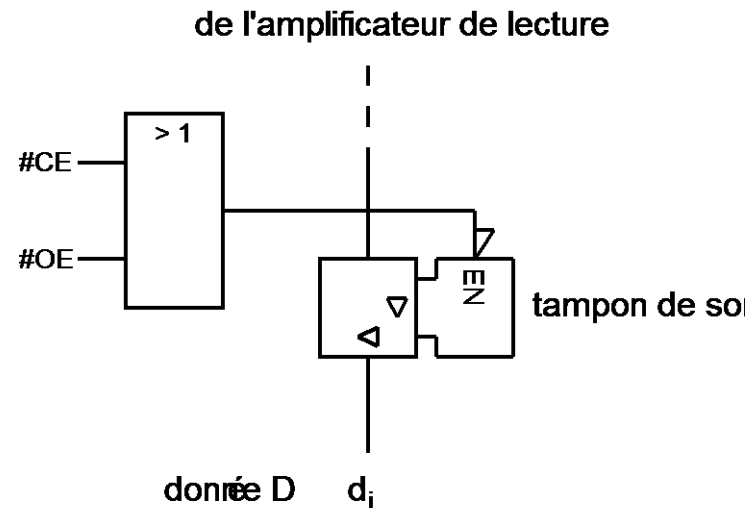
Le troisième état de la logique binaire !

- État dit « de haute impédance » ou état (Hi-)Z
 - logique trois états (*three-state*, *tri-state* ou *3-state logic*)

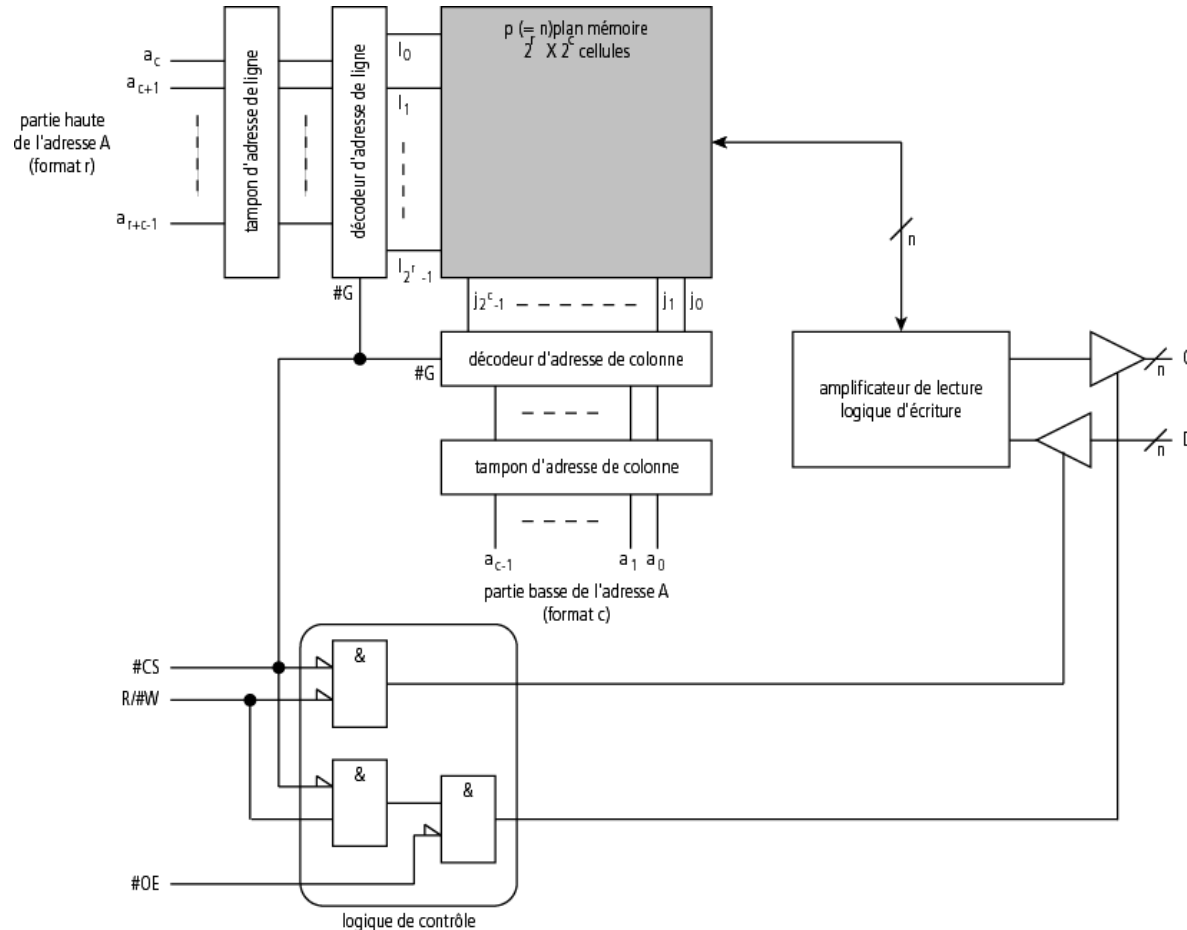


Les signaux de contrôle (suite)

- un signal de contrôle de la sortie de donnée
 - lié à la communication par bus
 - destruction assurée des sorties (court-circuit) !
 - *Output Enable* (#OE)

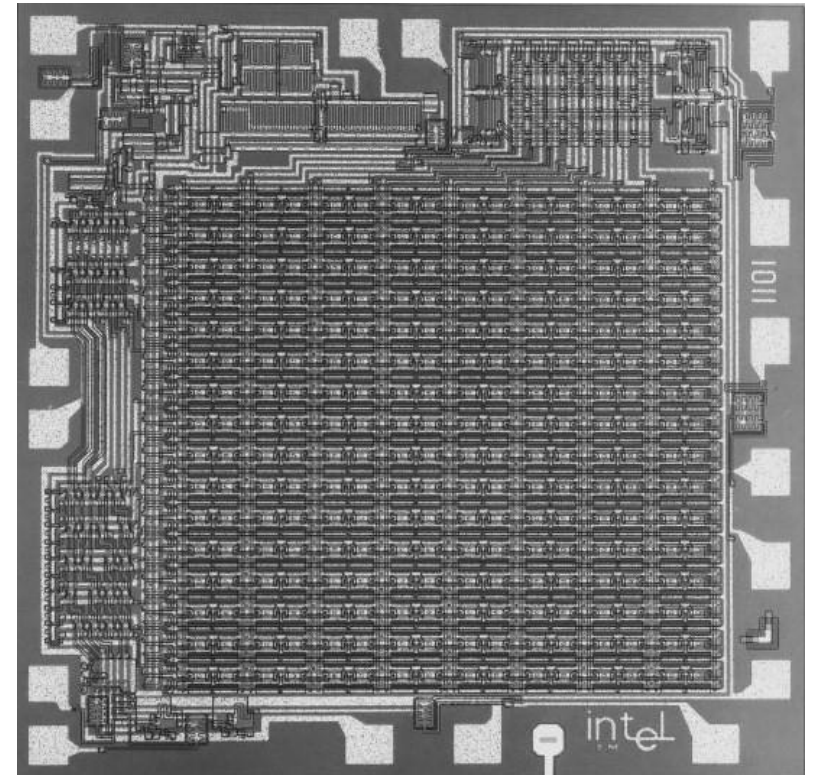


Structure interne détaillée d'une mémoire



La première SRAM MOS

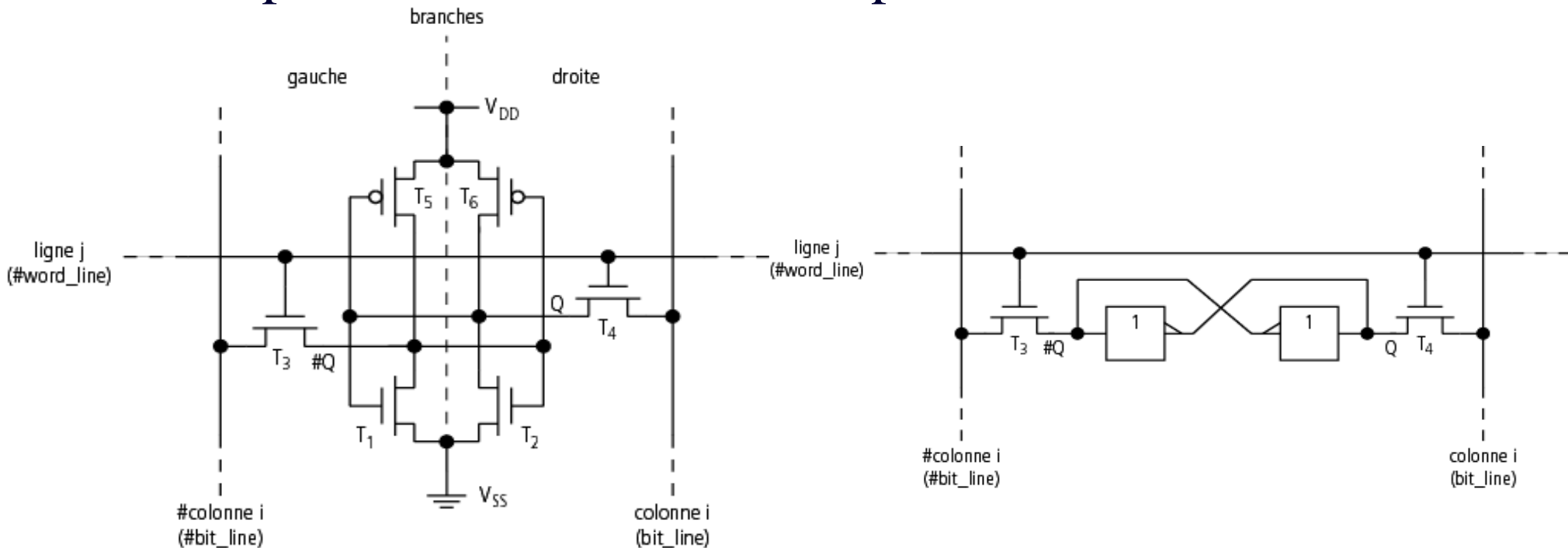
- ❑ Origine : Intel 1969
- ❑ Référence : 1101
- ❑ Organisation : 256×1 bits



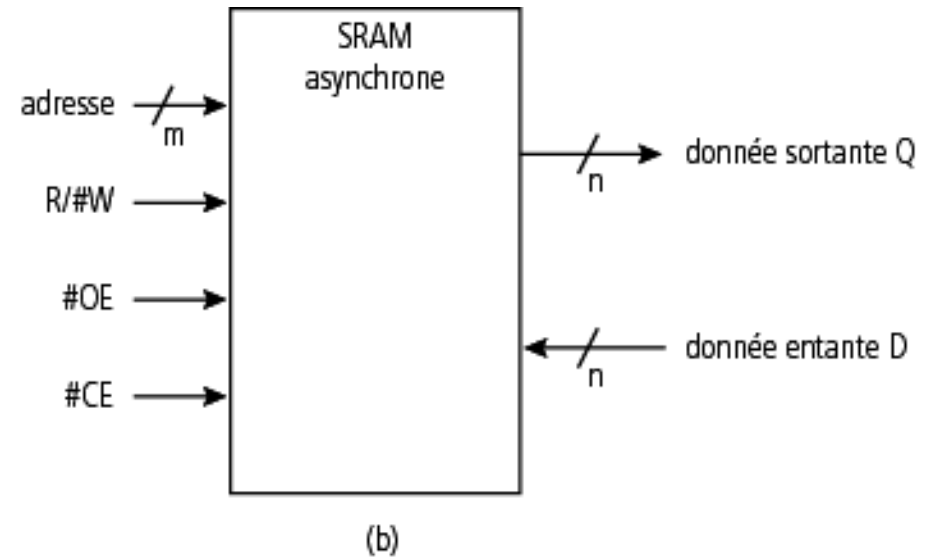
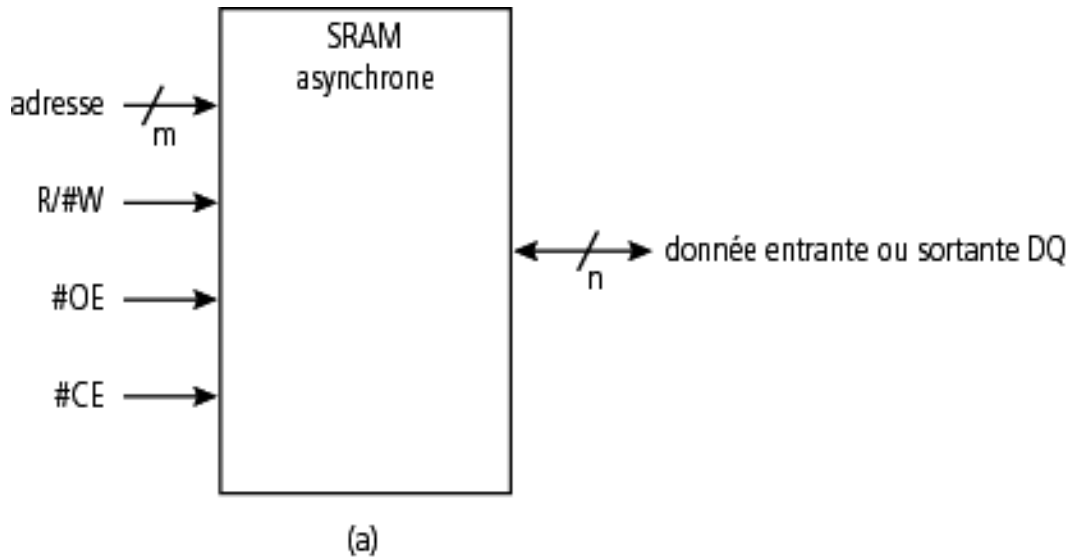
Cellule de base d'une SRAM

□ Une bascule à 6 transistors

- 4 pour la mémorisation et 2 pour la sélection : cellule 6T



Interfaces externes d'une SRAM

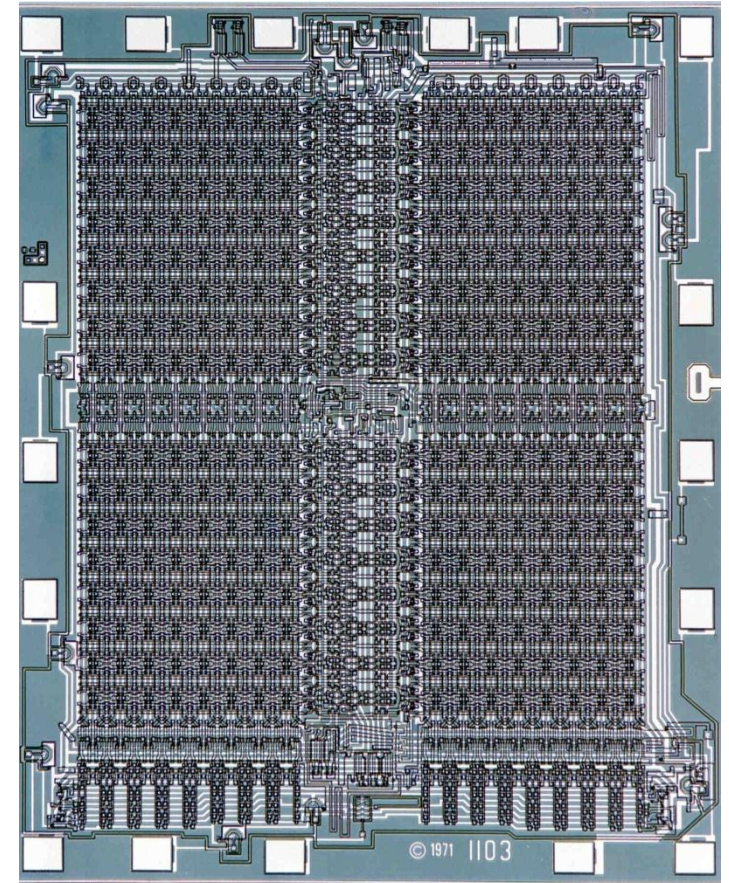


Utilisations dans un ordinateur

- Mémoire cache
 - version synchrone (SSRAM)
 - intégrée maintenant dans le CPU
 - *embedded memory*
- Rétention d'informations systèmes
 - version asynchrone sauvegardée (BBSRAM)
 - exemple : mémoire CMOS du PC

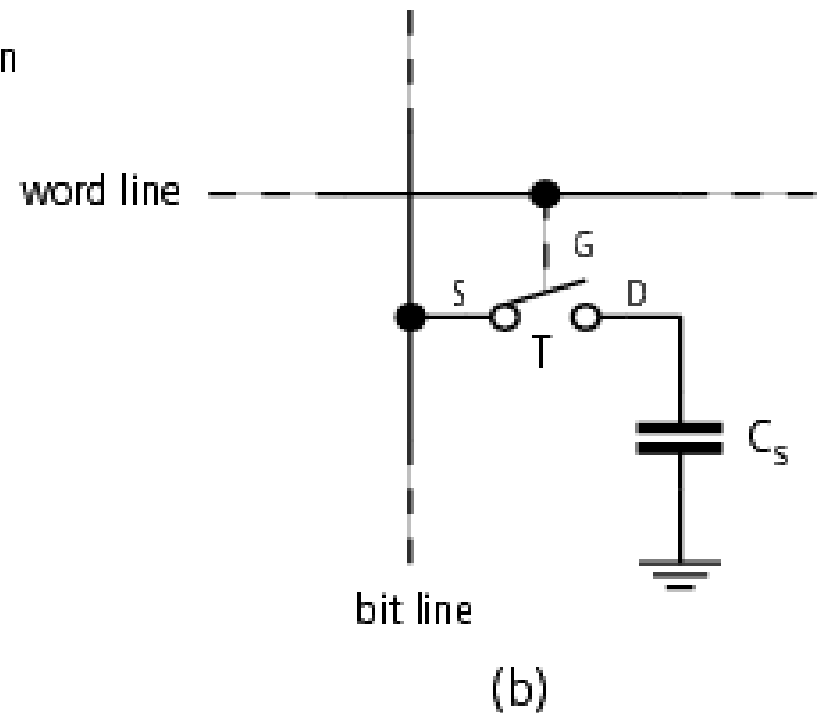
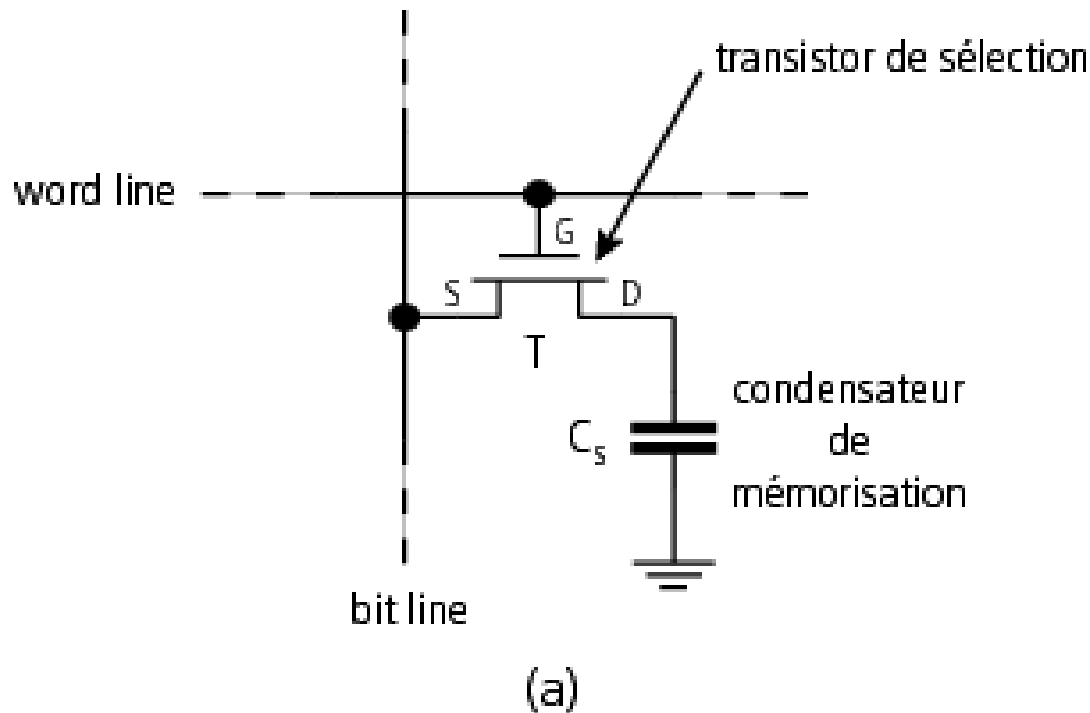
La première DRAM commerciale

- ❑ Origine : Intel 1971
- ❑ Référence : 1103
- ❑ Organisation : 1 K × 1 bits

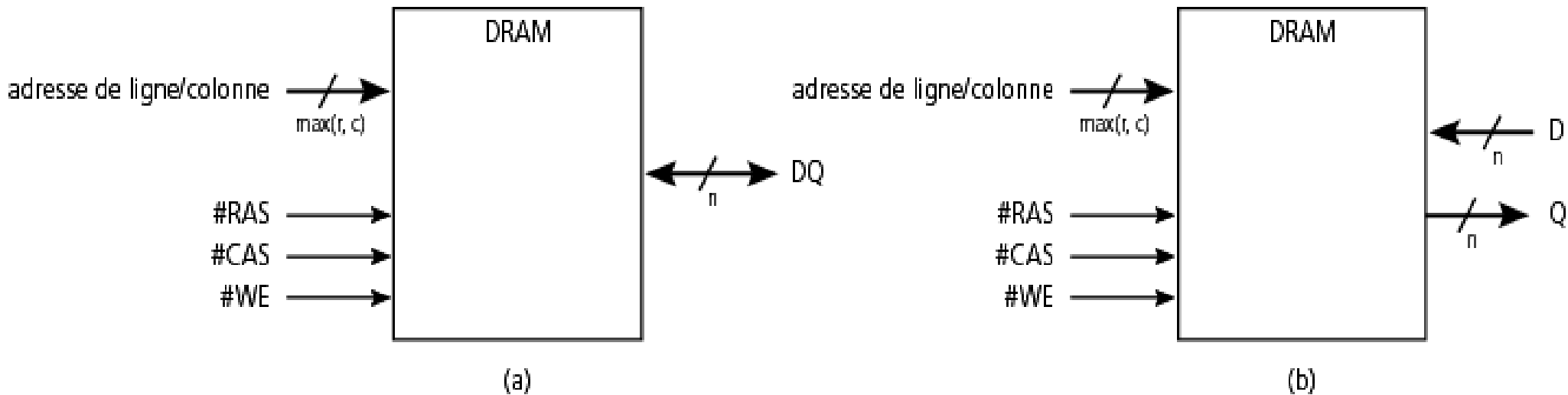


Cellule de base d'une DRAM

- Un transistor par bit : cellule 1T-1C

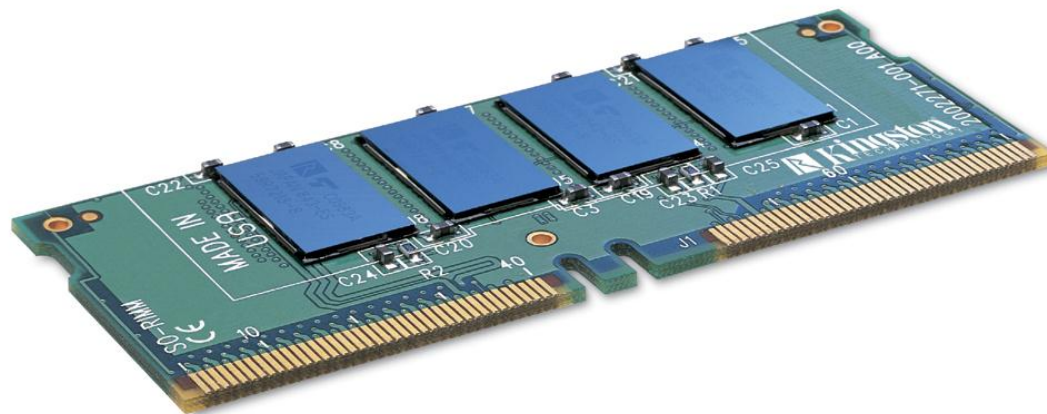


Interfaces externes d'une DRAM



Utilisations dans un ordinateur

- Version uniquement synchrone !
 - mémoire principale
 - SDRAM en versions SDR (*Single Data Rate*) puis DDR (*Double Data Rate*)
 - RDRAM (*Rambus DRAM*)



Utilisations dans un ordinateur

- Version uniquement synchrone !
 - mémoire spécialisée pour la vidéo
 - SGDRAM (*Synchronous Graphic DRAM*)



Comparatif des mémoires vives à semi-conducteurs

Type mémoire	Type d'accès	Stockage	Durée de rétention de l'information	Nb max. d'écriture	Remarque	Domaine d'utilisation
SRAM	R/W	V	vie de l'alimentation	infinie		asynchrone : rétention d'information système (mémoire CMOS) synchrone (SSRAM) : cache et mémoire centrale (super-calculateur)
DRAM	R/W	V	64 ms (sans rafraîchissement) vie de l'alimentation (avec rafraîchissement)	infinie	rafraîchissement nécessaire	mémoire centrale mémoire vidéo
Pseudo-DRAM	R/W	V	vie de l'alimentation	infinie	contrôleur de rafraîchissement intégré	système embarqué

Conclusion

- Le modèle asynchrone est obsolète sauf dans des systèmes à très basse consommation
 - exemple : mémoire CMOS (SRAM) du PC