

Architecture des ordinateurs

23 - Les mémoires vives à semi-conducteurs
à accès aléatoire

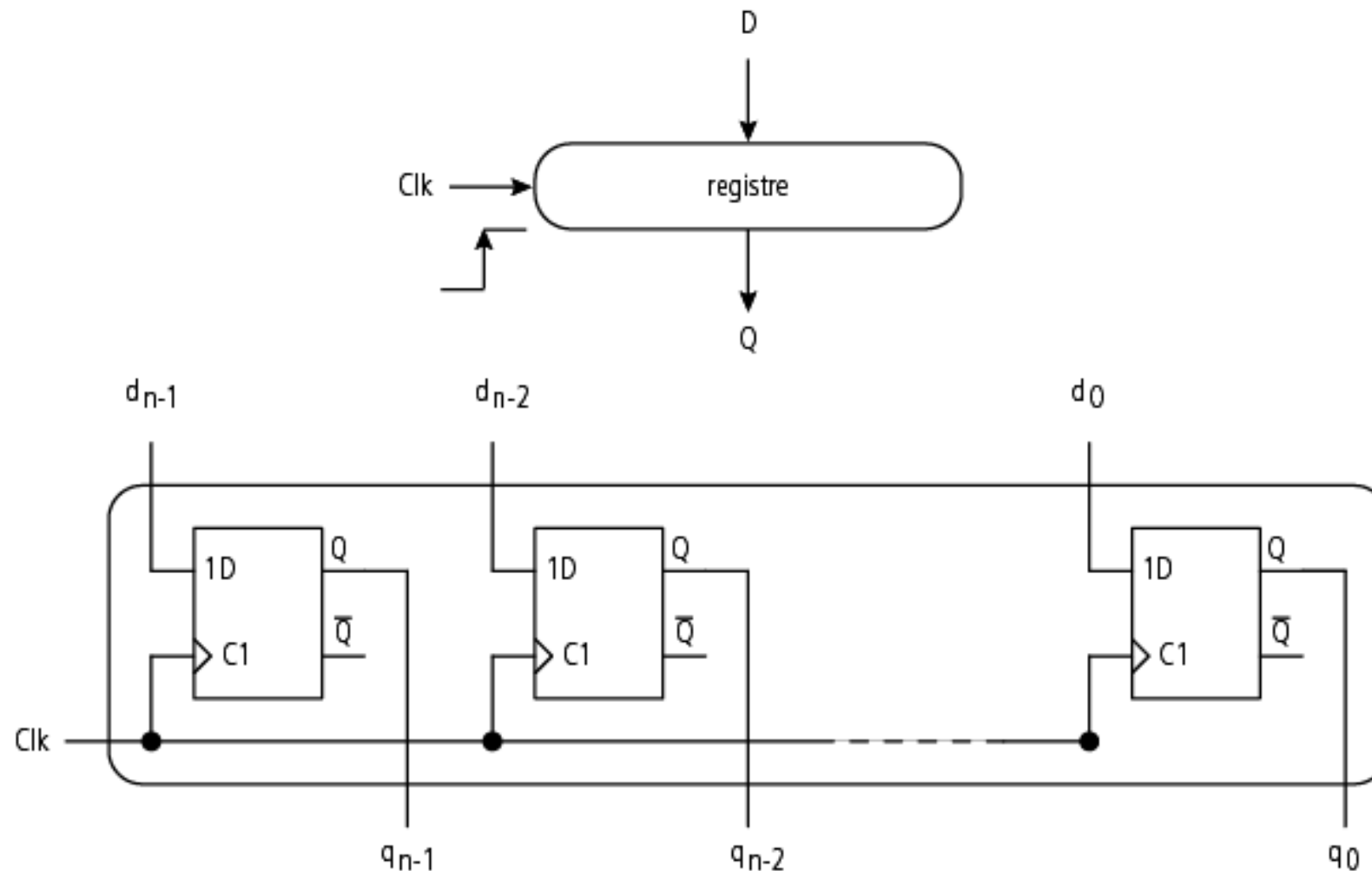
Partie III : le modèle synchrone

Philippe Darche
IUT Paris Descartes

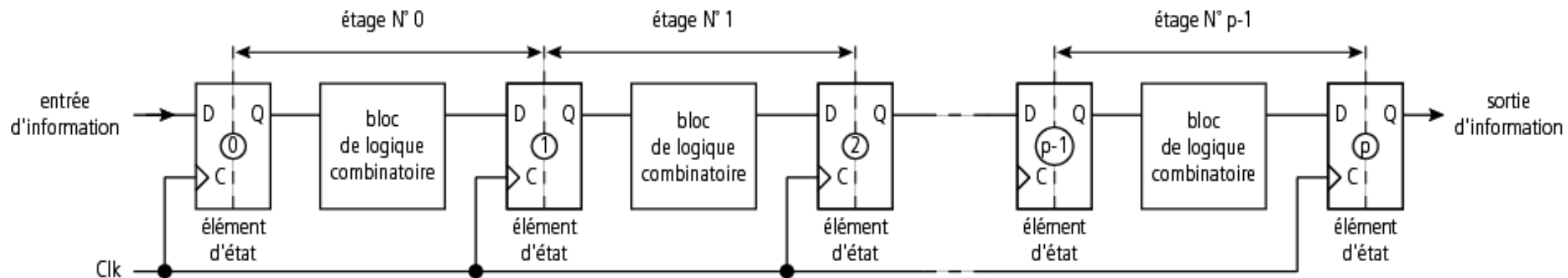
Les mémoires vives dynamiques synchrones

- L'architecture pipeline
- La SDR (*Single Data Rate*) SDRAM
- La DDR (*Double Data Rate*) SDRAM

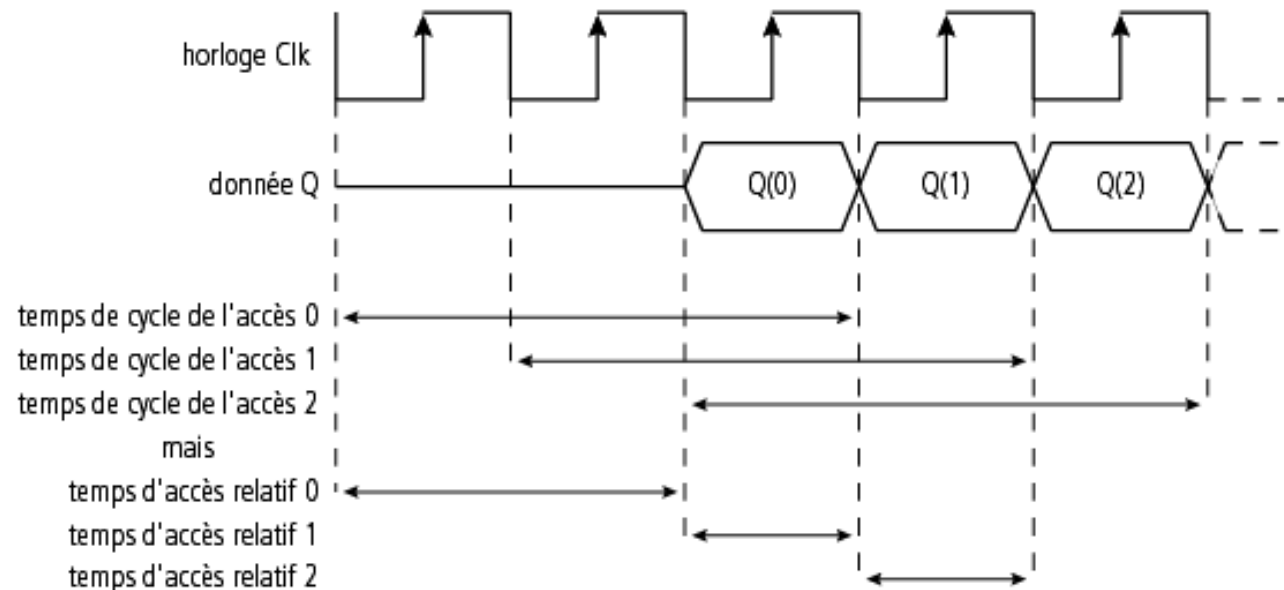
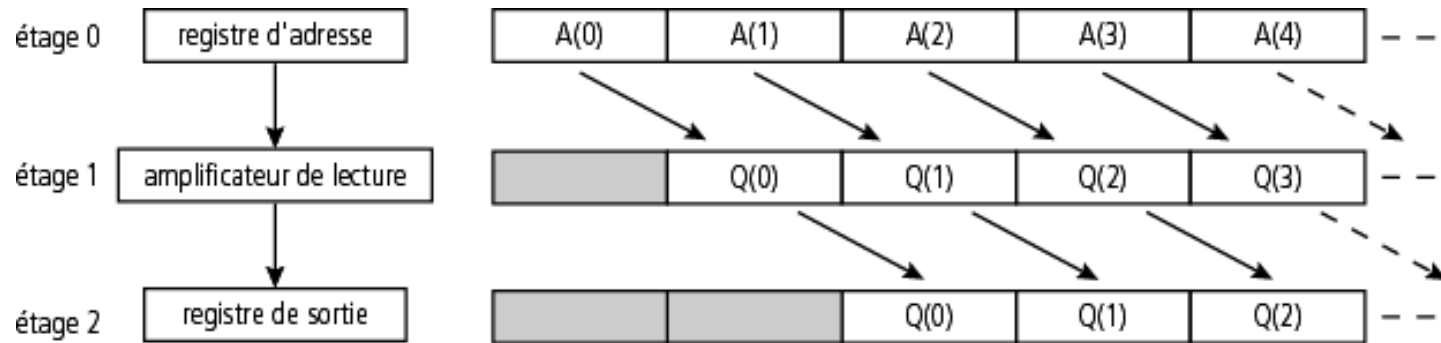
Rappel : Le registre de mémorisation



Fonctionnement en pipeline (synchrone)



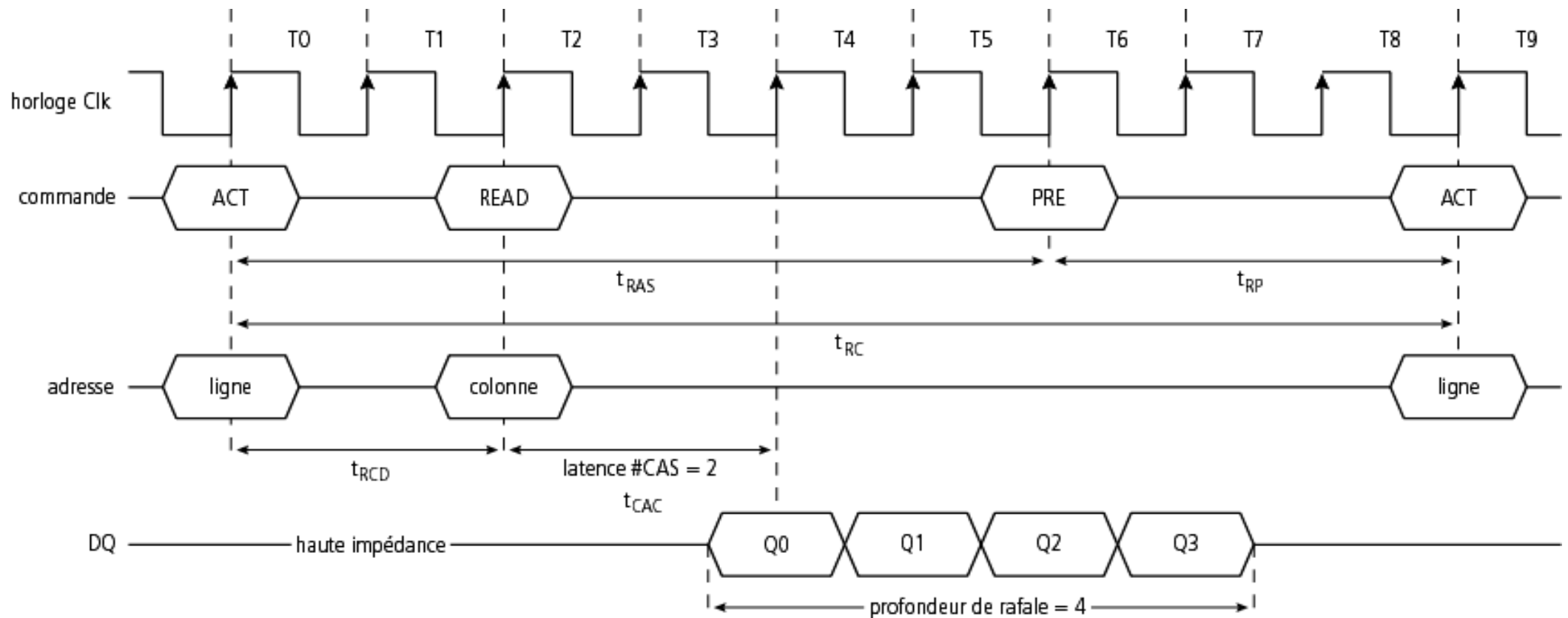
Le fonctionnement en pipeline d'une lecture



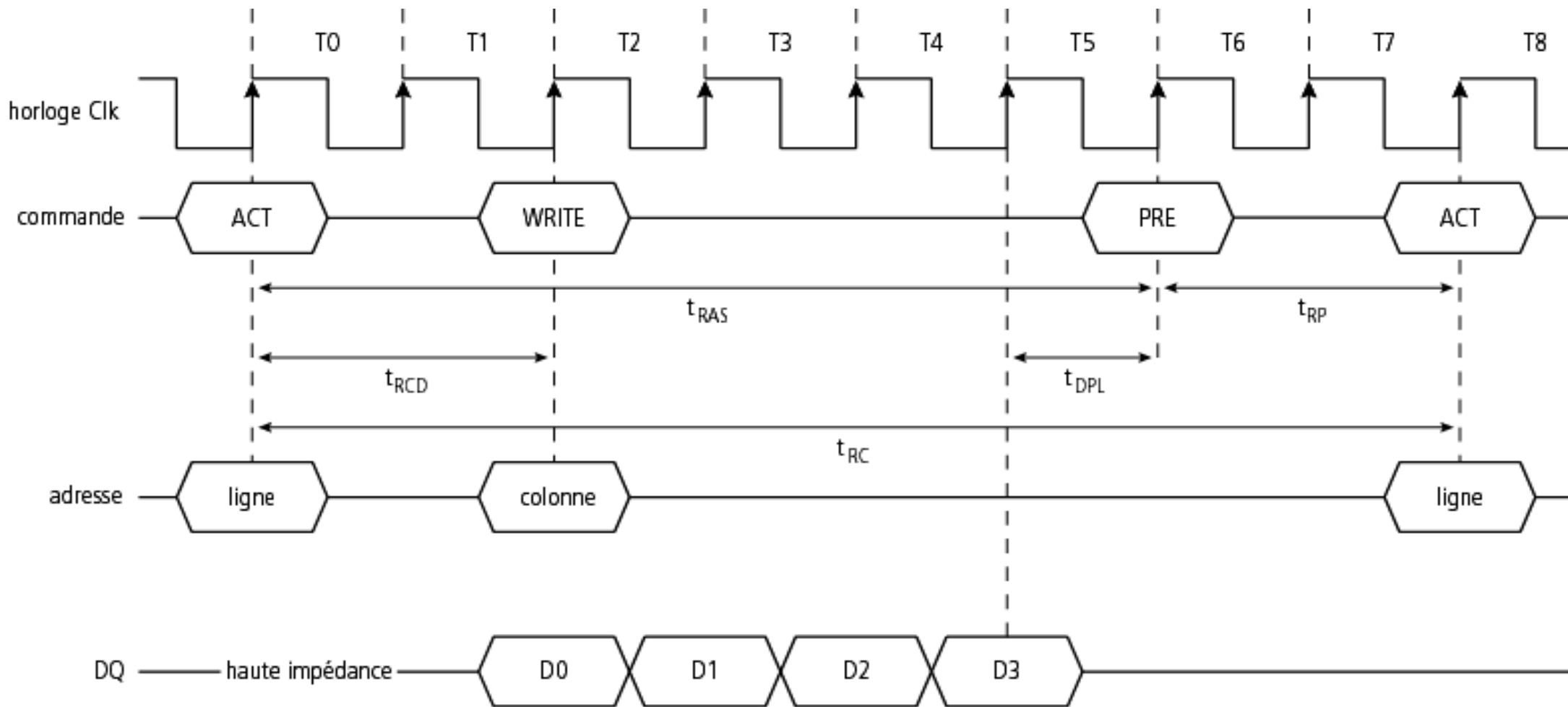
La SDRAM version SDR

- Echantillonnage des données sur le front montant de l'horloge
- Sorties validées sur ce même front positif
- Une transaction d'E/S à chaque période d'horloge
- Fonctionnement interne en pipeline

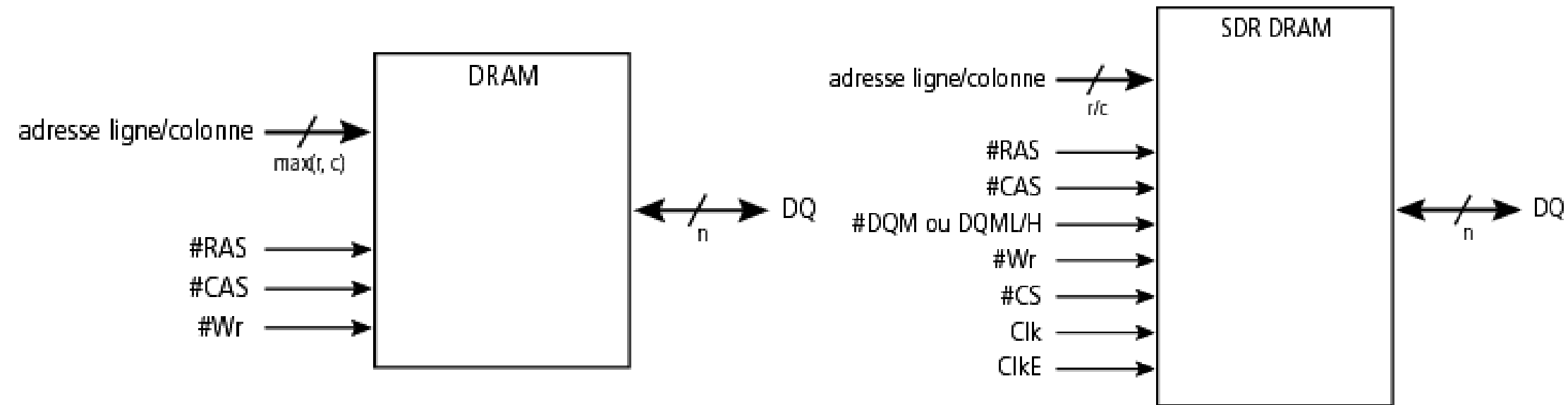
Chronogrammes d'une lecture en mode rafale d'une SDRAM



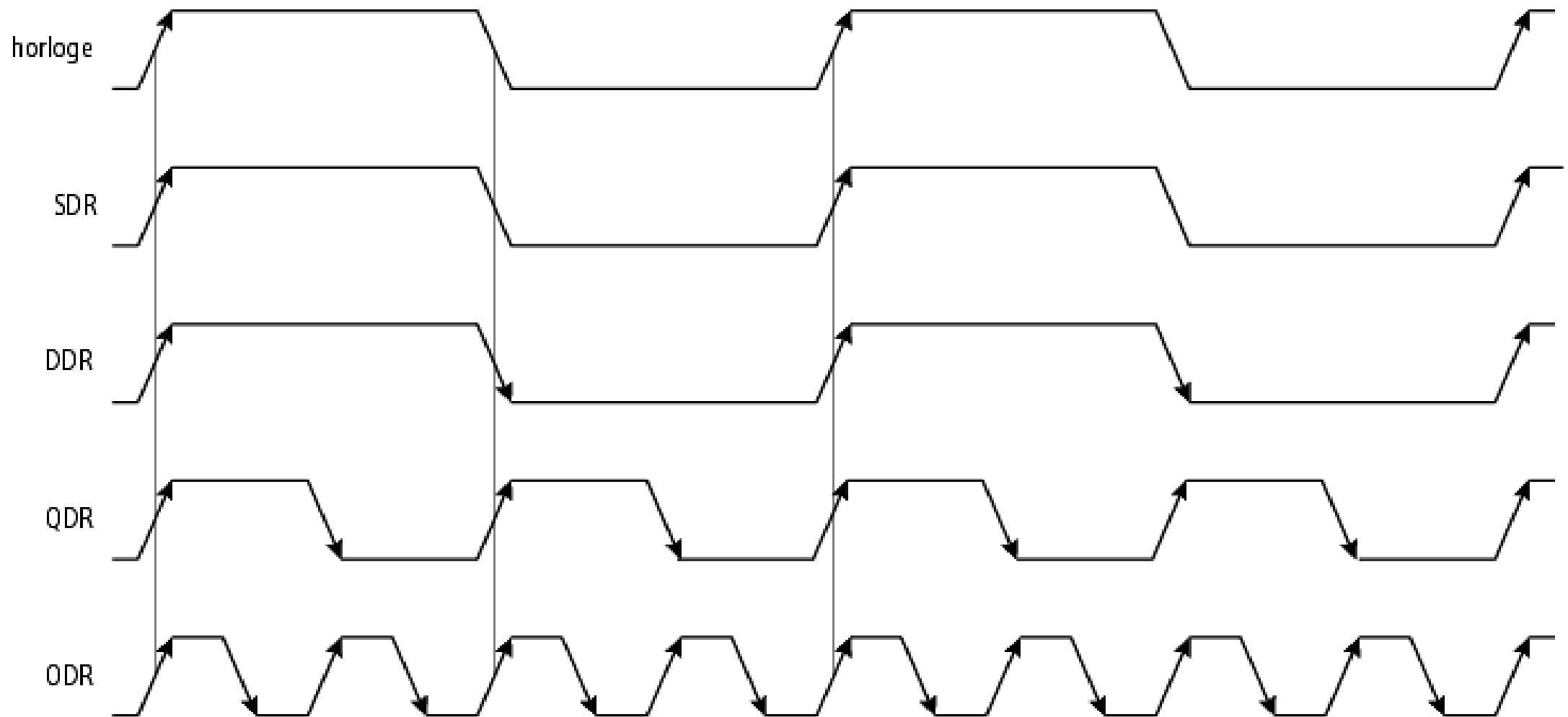
Chronogrammes d'une écriture en mode rafale d'une SDRAM



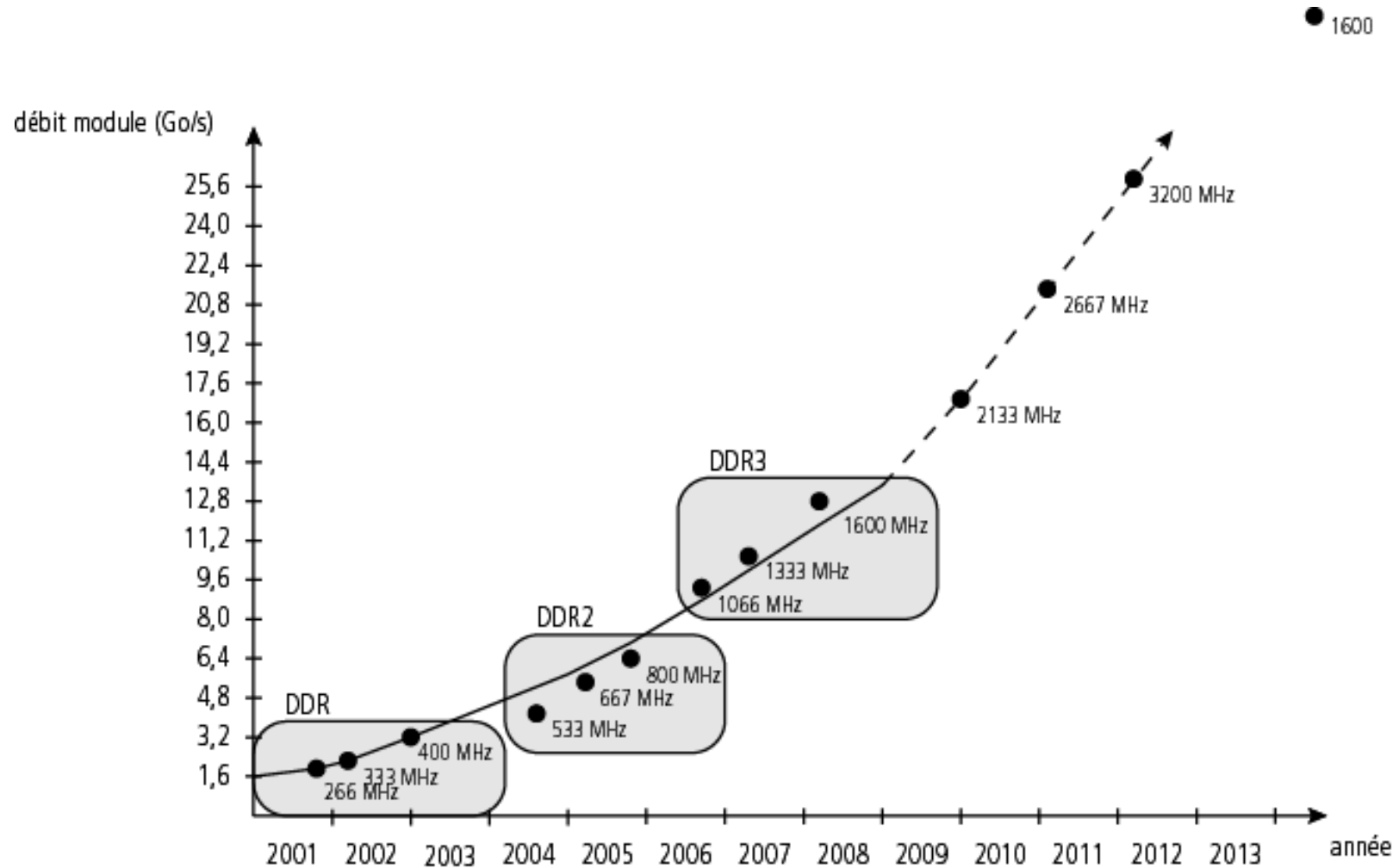
Interfaces externes d'une DRAM et d'une SDRAM



Les transferts synchrones



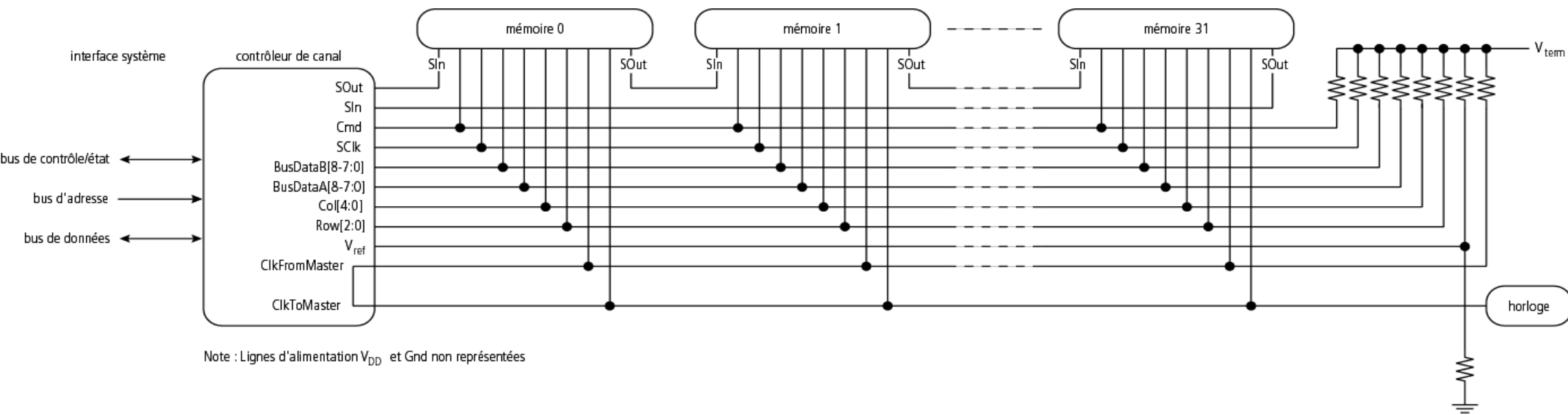
Perspective de croissance des débits de la SDRAM



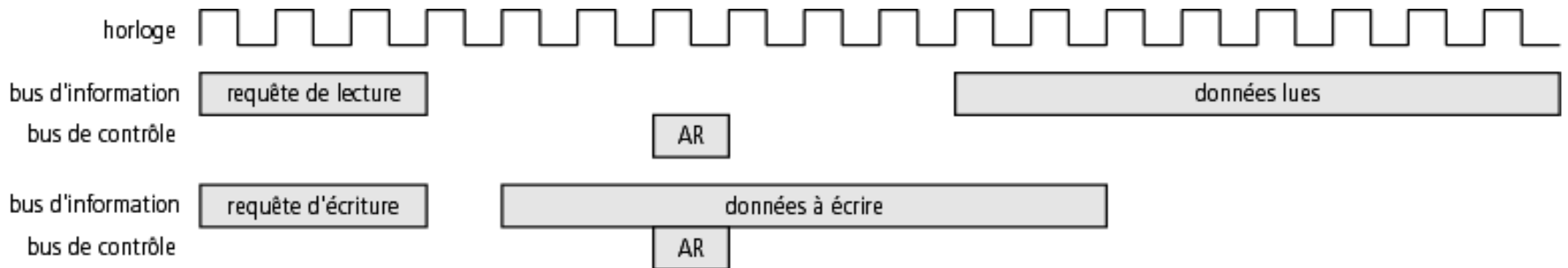
Les mémoires vives dynamiques à communication par paquets

- Problèmes d'intégrité du signal du sous-ensemble mémoire
- Interfaces de communication par paquets
- Les mémoires révolutionnaires :
 - DRAM à interface Rambus ou Rambus DRAM (RDRAM)
- La SLD RAM (*Synchronous-Link* DRAM)

Le canal Rambus Direct



Transactions avec une RDRAM



Conclusion

- ❑ Le mode rafale est adapté pour un fonctionnement de type cache
- ❑ Le mode synchrone permet un fonctionnement plus rapide que le mode asynchrone
- ❑ La communication par paquet est l'approche actuelle la plus rapide