

# Architecture des ordinateurs

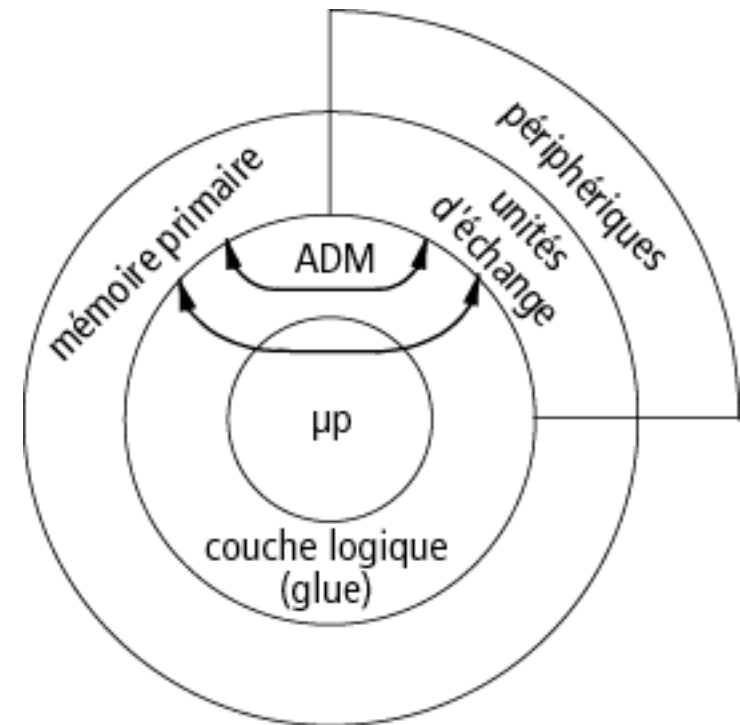
---

## 34 - L'accès Direct (à la) Mémoire

Philippe Darche  
IUT Paris Descartes

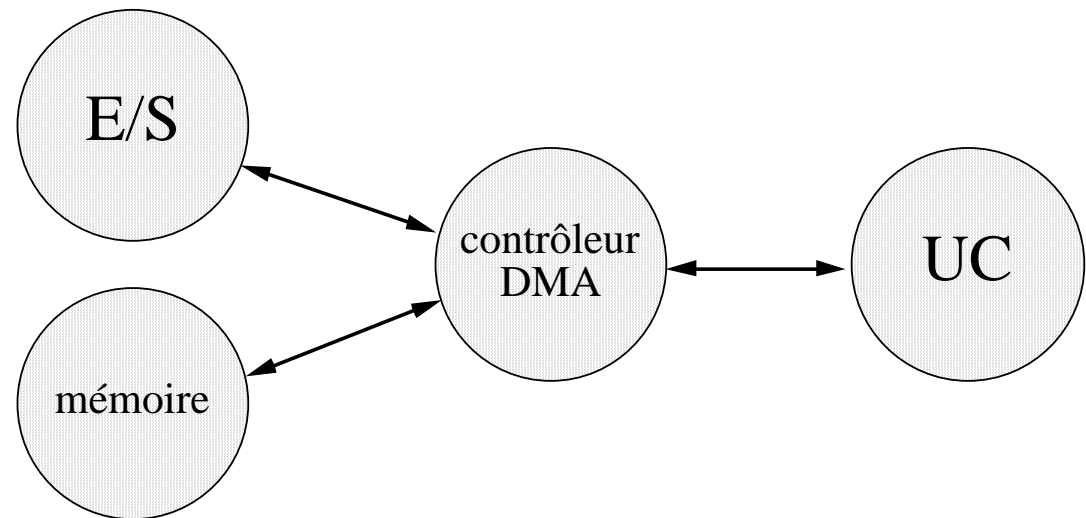
# Le problème

- Tous les échanges entre mémoire centrale et le couple contrôleur d'E/S - périphériques passent par le processeur



# Solution

- Rajout d'un maître supplémentaire pour effectuer ces échanges



- sous-problème : le blocage du bus par ces échanges



# Le DMA

---

- *Direct Memory Access*  
ou Accès Direct Mémoire (ADM)
- Successeur du mode canal
- DMAC = *Direct Memory Access Controller*

# Caractéristiques (1)

---

- Contrôleur = c canaux physiques de DMA
  - c demandes possibles
  - il peut y avoir des sous-canaux par canal physique
- Un canal
  - signaux demande (*request*) - autorisation (*grant, acknowledge*)
  - structure de donnée associée
    - adresses source et destination, nombre d'octets, contrôle et état du transfert
- Type d'accès
  - lecture
  - écriture
  - Vérification

# Caractéristiques (2)

---

- Priorité
  - fixe (simple)
  - tournante (*round robbin*)
- Types de transfert
  - simple transfert
  - transfert d'un bloc

# Caractéristiques (3)

---

- Modes de transfert
  - DMA par vol de cycle
    - libération du bus à chaque transfert
  - DMA en mode arrêt (*halt*)
    - propriétaire du bus jusqu'à relâche
  - à la demande
    - rend la main sur demande

# Fonctionnement (1)

---

- Initiative de la demande du transfert
  - à l'initiative du CPU (*CPU-initiated* DMA)
    - écriture dans un registre
  - sur évènement (*event-triggered* DMA)
- Informations minimum nécessaires
  - adresse source
  - adresse destination
  - nombre de mots à transférer



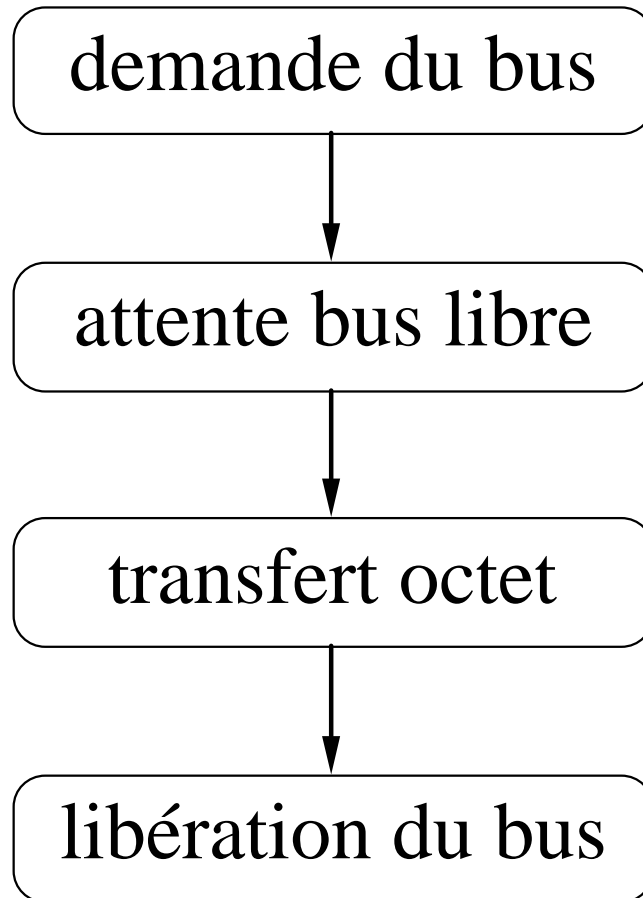
# Fonctionnement (2)

---

- Fin de transfert annoncée par IT

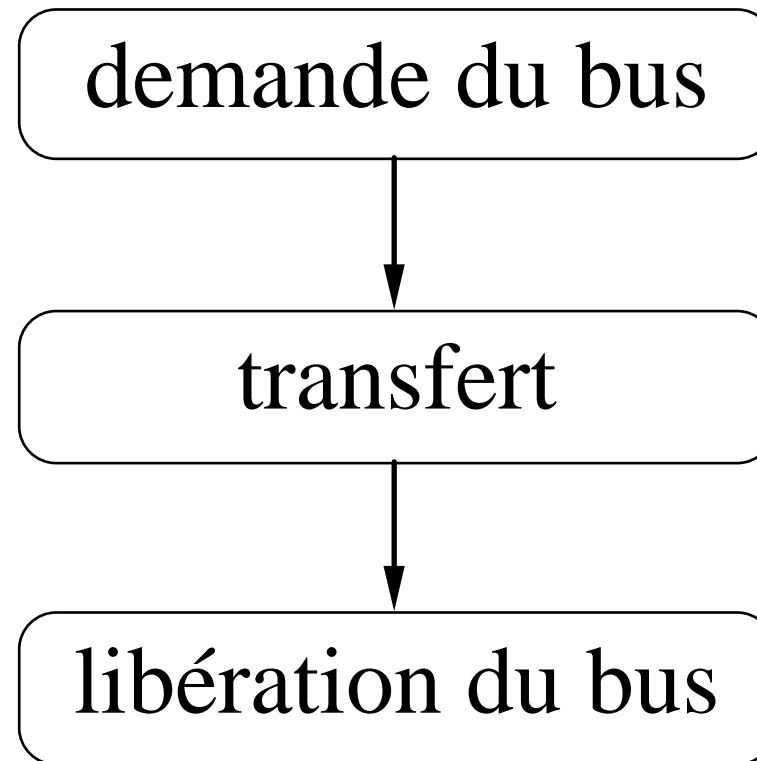
# DMA en transfert incomplet

---



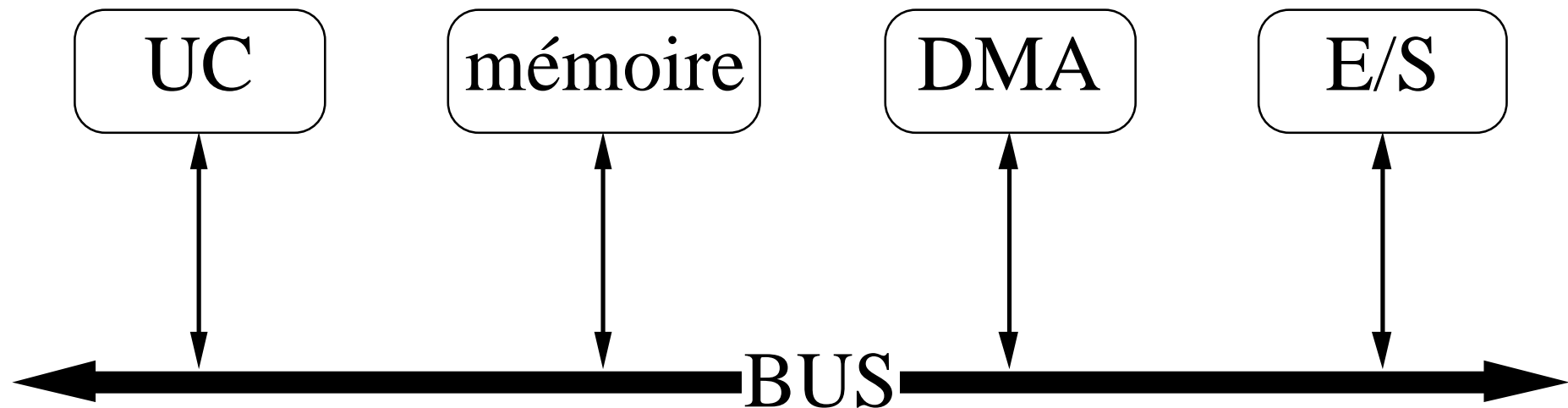
# DMA par blocage du bus

---



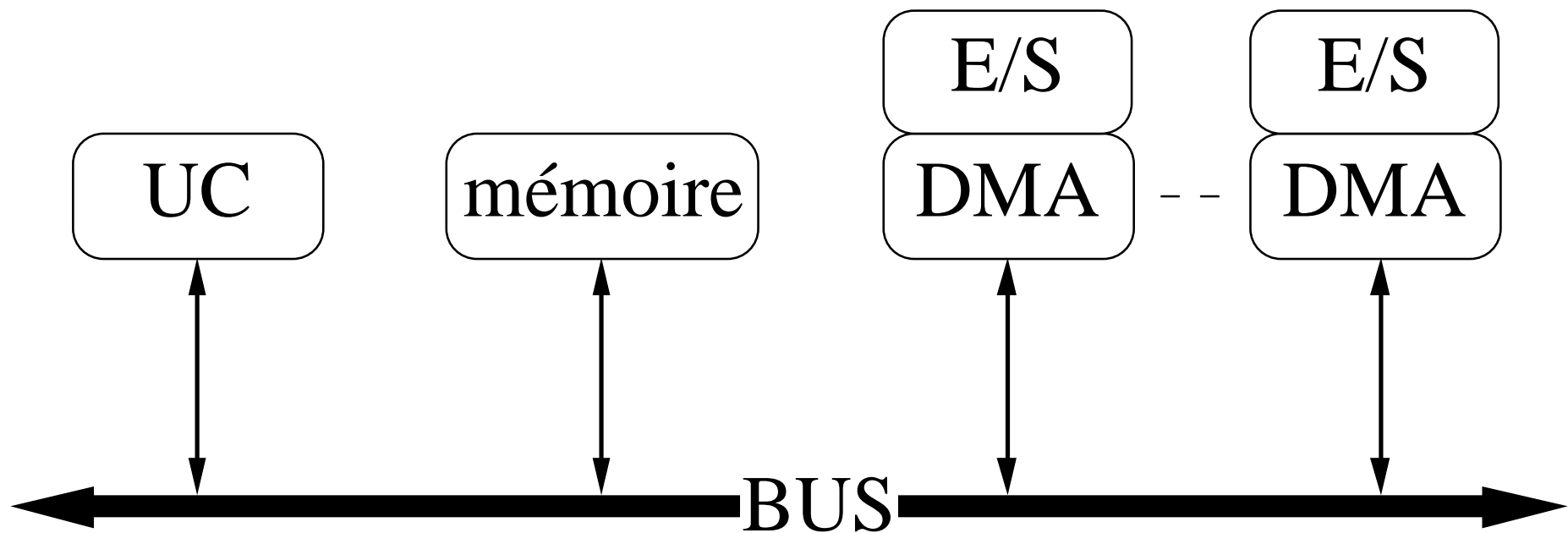
# Contrôleur sans lignes dédiées

- *Third party* DMA



# Contrôleur à lignes dédiées

## □ *Bus mastering*





# Illustration

---

- Ultra DMA/33
  - brevet de la société Quantum Inc.
  - transfert à 33 Mo/s
  - intégré dans l'interface IDE/ATA

# Conclusion

---

| technique DMA       | ratio max. de transfert                | effets sur CPU<br>et sur l'exécution du prg | complexité du matériel |
|---------------------|--|---|------------------------|
| arrêt du processeur | 1 octet par cycle d'horloge            | CPU arrêté                                  | faible                 |
| vol de cycle        | 1 octet / 2,5 cycles                   | CPU actif cycliquement                      | moyenne                |
| DMA multiplexé      | 1 octet par cycle<br>(cycle plus long) | CPU ralenti                                 | élevée                 |