

Architecture des ordinateurs

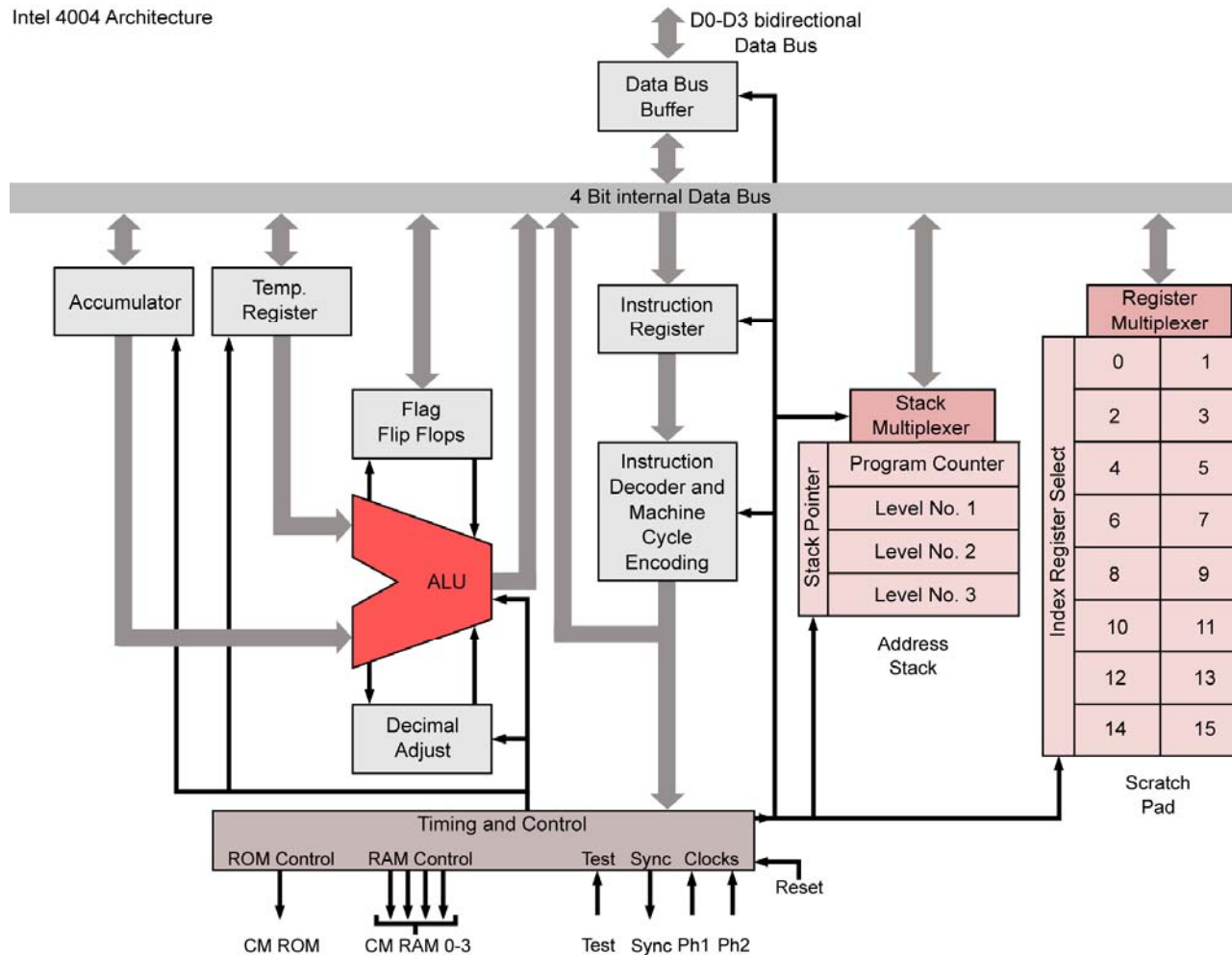
71 - Les mécanismes accélérateurs d'exécution

Philippe Darche
IUT Paris Descartes

Le premier microprocesseur

- ❑ Référence 4004 de la société Intel
- ❑ MPU 4 bits à architecture Harvard
- ❑ 2300 transistors
- ❑ $f_{\text{clock}} = 740 \text{ kHz}$ (8 cycles ($10,8\mu\text{s}$) par instruction)
- ❑ Format d'adresse $m = 12$ bits
- ❑ Format d'instruction $i = 8$ bits
- ❑ Boitier DIP 16 broches

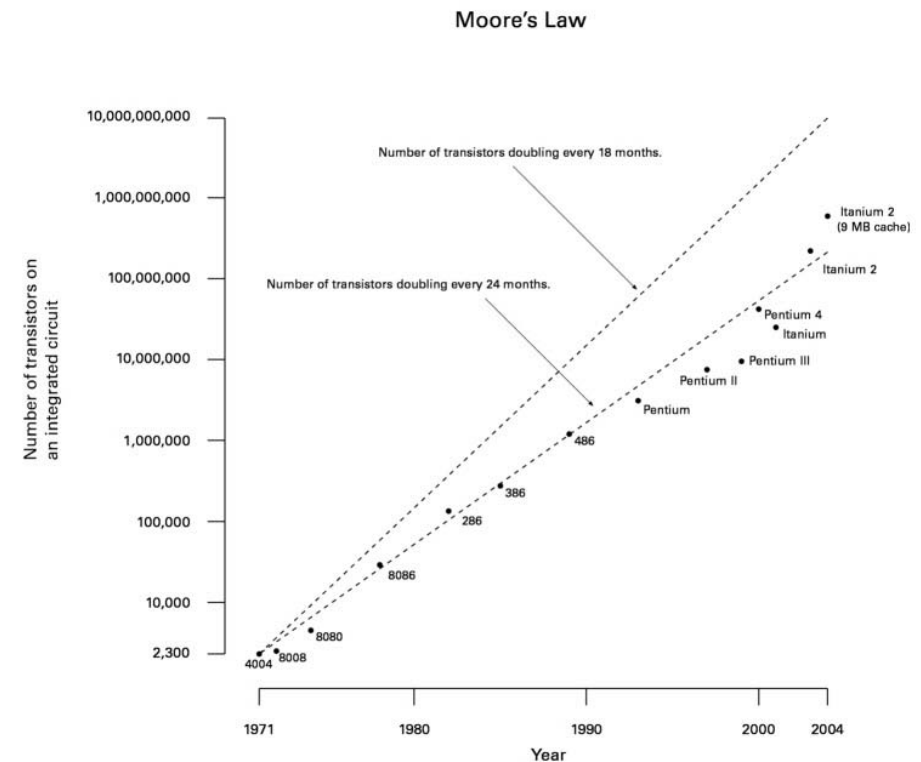
Le microprocesseur 4004 d'Intel



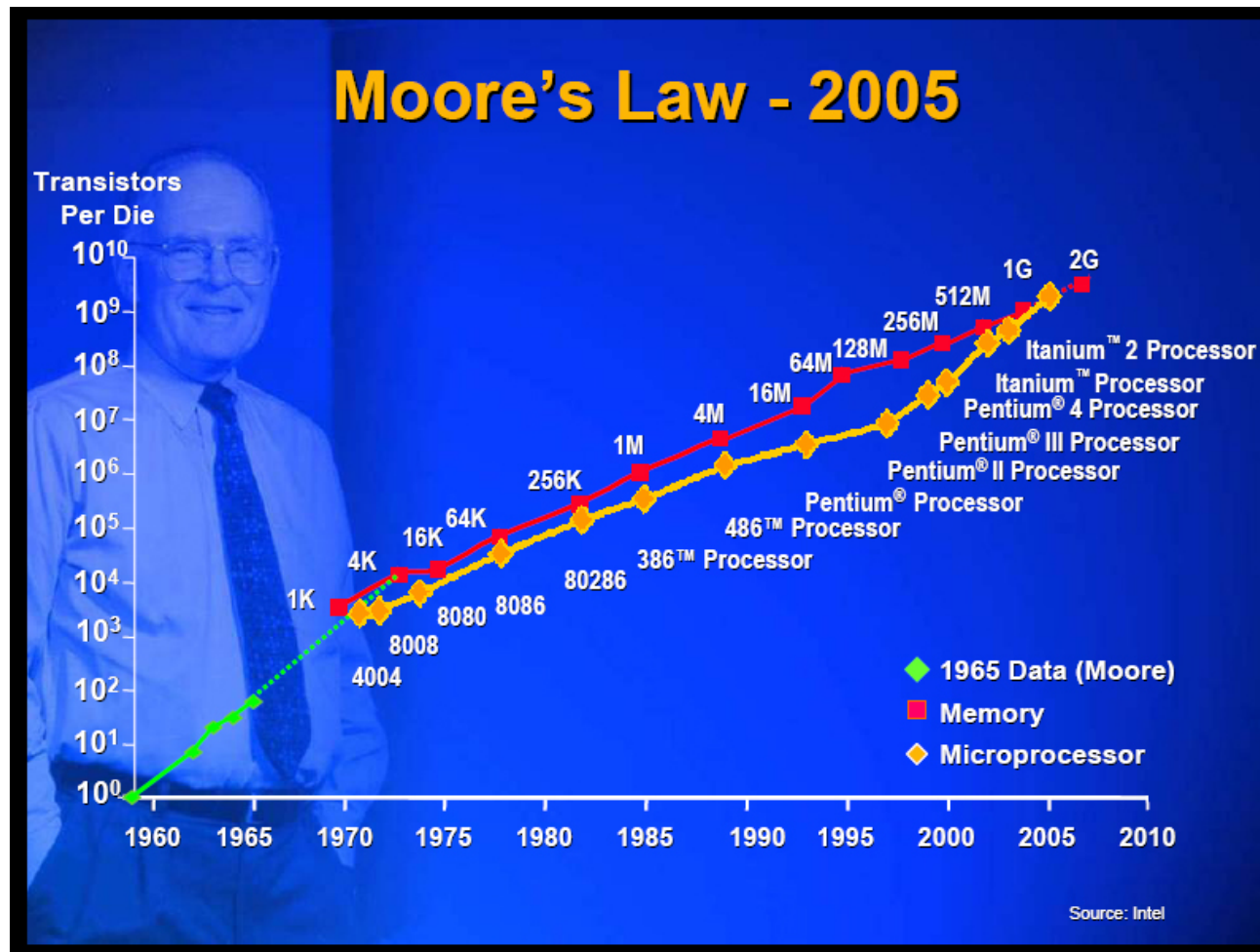
Source : Wikipédia

La « loi » de [Moore 65]

- Une règle plus qu'une loi
- Doublement du nombre de transistors tous les 12, 24 puis 18 mois



Evolution de cette loi



Le modèle de calcul

- Comprend trois abstractions
 - les éléments du calcul
 - le modèle de description du problème
 - procédural ou déclaratif
 - le modèle d'exécution
- Exécuté sur une architecture

Les modèles de calcul existant

□ Liste

- modèle de Alan Turing
- modèle de John Von Neumann
- modèle du flot de données
- modèle objet
- modèle basé sur la logique des prédicats
- modèle applicatif

Le modèle de calcul de Von Neumann

- Données et instructions (= programme) stockées ensemble en mémoire centrale
- Exécution du processeur guidée par le programme
- Exécution séquentielle des instructions
 - mais possibilité de débranchement
 - sauts (in)conditionnels et interruption

Architecture de l'ordinateur

- *Computer Architecture*, terme inventé par le Dr Frederick P. Brooks Jr travaillant à IBM
 - Abstraction utile au programmeur
 - jeu d'instructions avec modes d'adressage (ISA)
 - représentation des données
 - mécanismes d'entrée-sortie
 - adressage mémoire
- ⇒ pour cacher les détails inutiles pour la programmation

Organisation de l'ordinateur

- Détails physiques invisibles au programmeur
 - implémentation matérielle
 - unités fonctionnelles et leurs interconnexions
 - microprogrammation des instructions

Les processeurs CISC

- *Complex Instruction Set Computer*
- Architecture prédominante depuis 1978
- Nombreuses instructions associées à des modes d'adressage complexe (> 50-100)
 - *"rich" instruction set*
 - proches des langages évolués
 - unité de contrôle (UCo) complexe (microprogrammée)
 - décodage et exécution
- Exemples : 80x86 (Intel) et 68K (Motorola)

Comment accélérer l'exécution des instructions ?

- Améliorer la technologie électronique
- L'approche RISC
- Le parallélisme avec deux axes
 - le pipeline
 - découpage fonctionnel
 - la réplication

L'architecture RISC

- *Reduced Instruction Set Computer*
- Constat pour le MPU MC68000 !

Unité de traitement : 30 %

Unité de commande : 70 %



de la surface

Analyse de programmes

- Statistiques sur le code
 - statique (code par rapport à la longueur)
 - dynamique (code par rapport au temps d'exécution)

Résultats

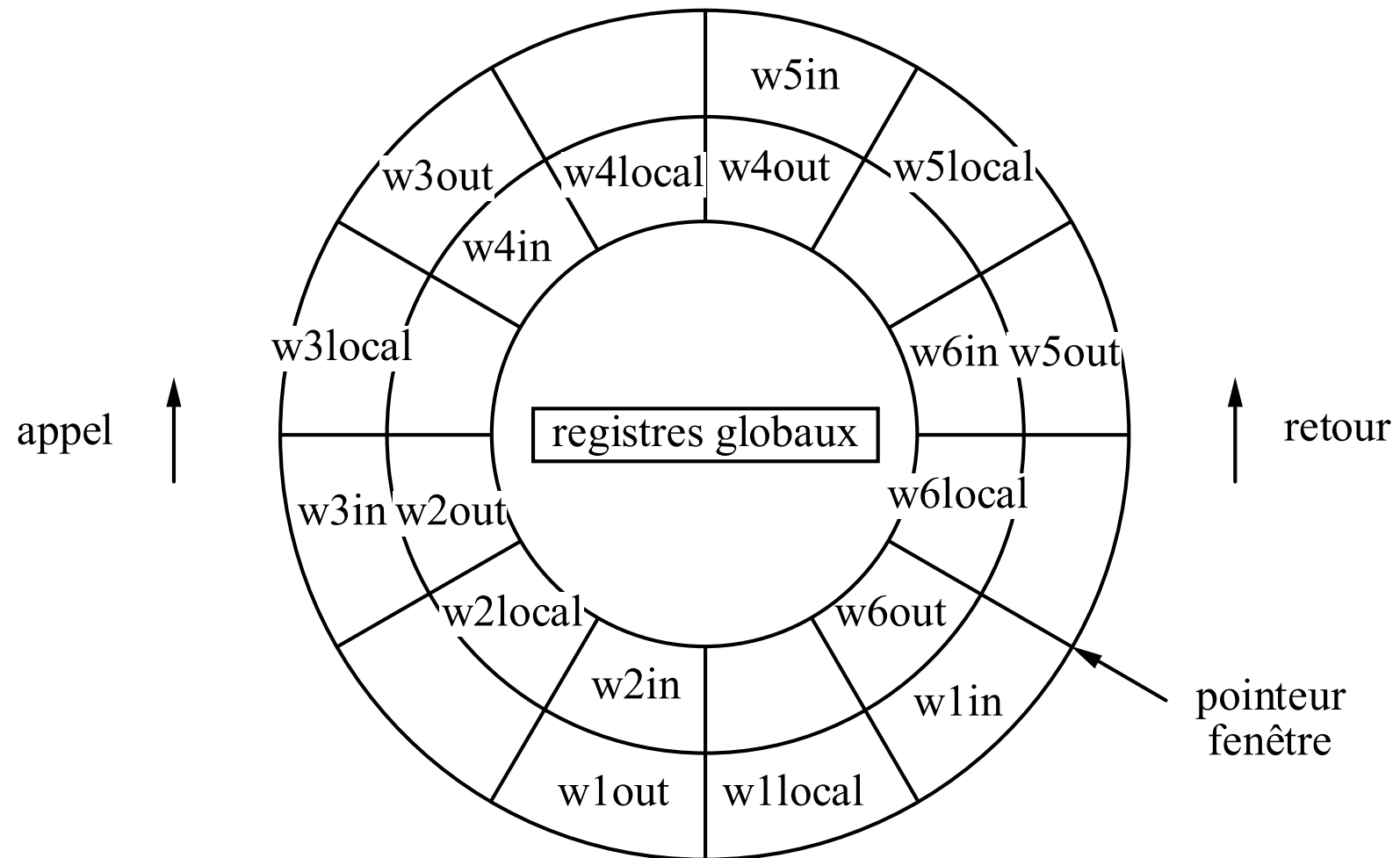
- transfert registre ↔ mémoire 30%
- branchement 30%
- add/sub 12%
- divers 28%

- saut < 16Ko 93%

Résultats (suite)

- Appel de procédures :
 - > 3 arguments 0 à 7%
 - > 5 arguments 0 à 3%
- Taille des arguments :
 - > 8 mots 1 à 20%
 - > 12 mots 1 à 6%

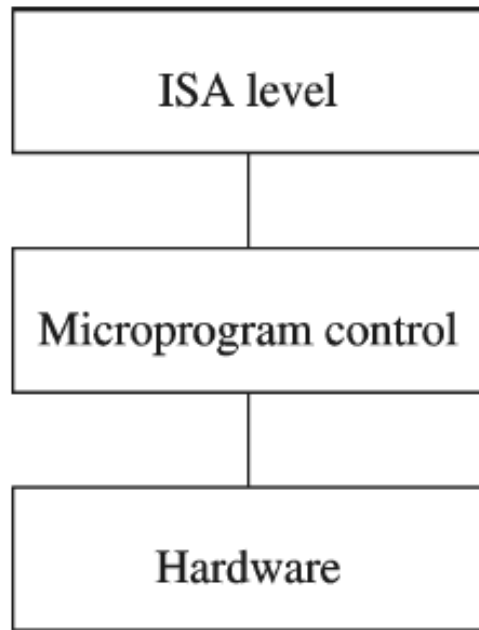
Fenêtre de registres



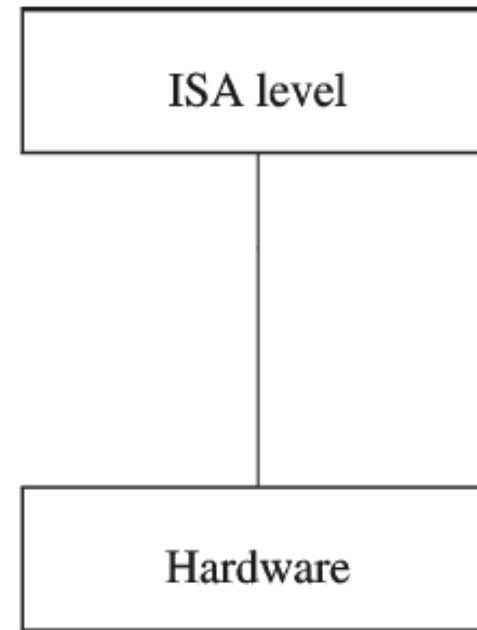
Caractéristiques d'une architecture RISC

- Une instruction / cycle
 - contrôle matériel sans ou peu de microcode (instruction câblée)
⇒ limitation de la superficie de l'unité de contrôle limitée
- Opérations registres à registre
 - nombre de registres élevé
- Modes d'adressage simples (nombre limité)
- Formats d'instruction simples
 - 32 bits en général
- Migration de fonctions vers le logiciel
- Mémoire cache

Différence CISC/RISC

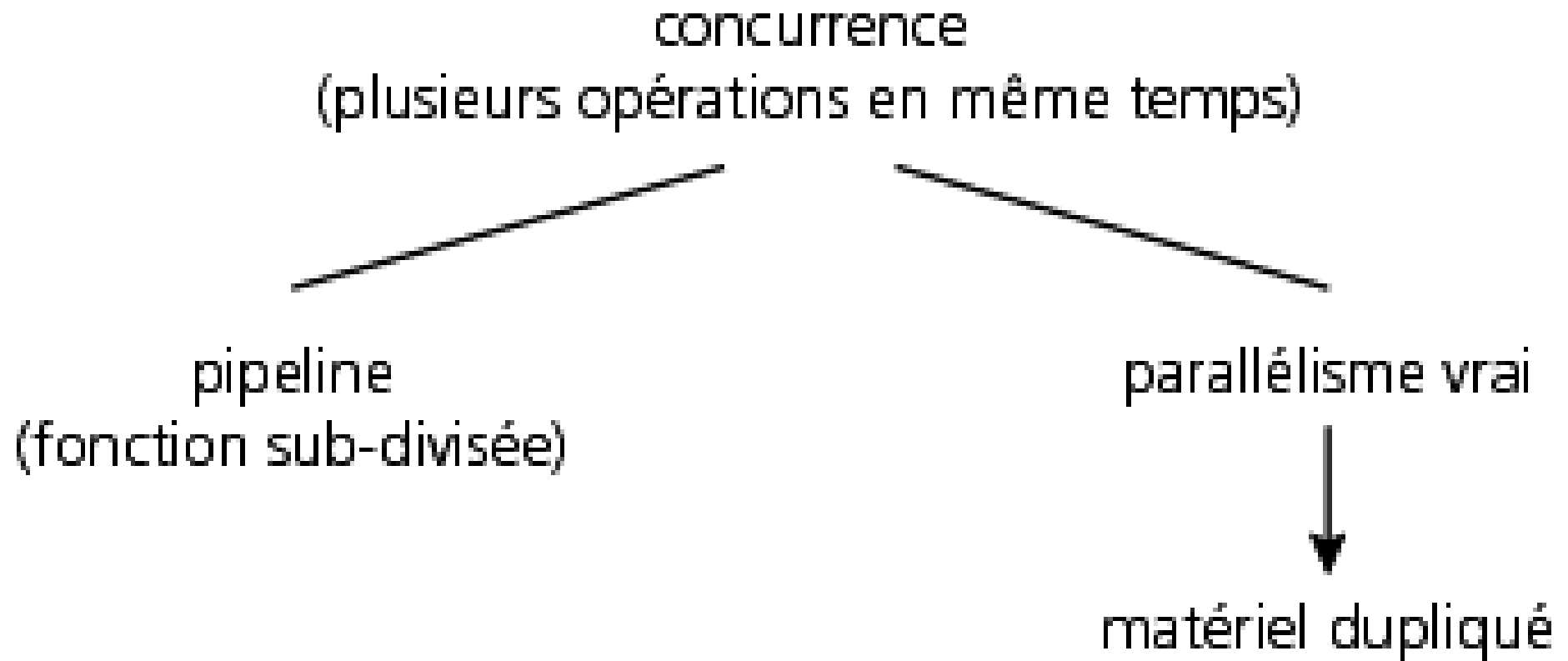


(a) CISC implementation



(b) RISC implementation

La concurrence



Le parallélisme

- Le mécanisme du pipeline
- L'approche superscalaire
- Les processeurs VLIW
- L'approche multiprocesseur

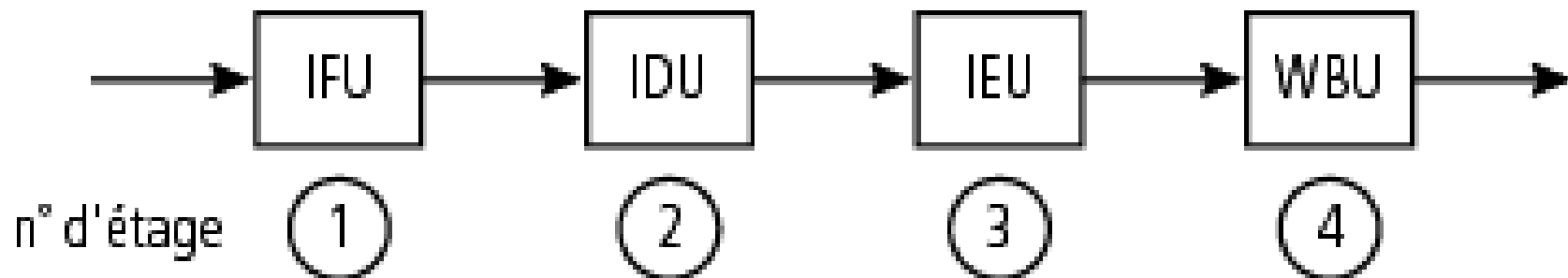
Mécanisme du pipeline

- Parallélisme de flux : les opérations sur un même flux de données peuvent être enchaînées
- Principe du découpage fonctionnel
 - analogie de la chaîne de montage automobile

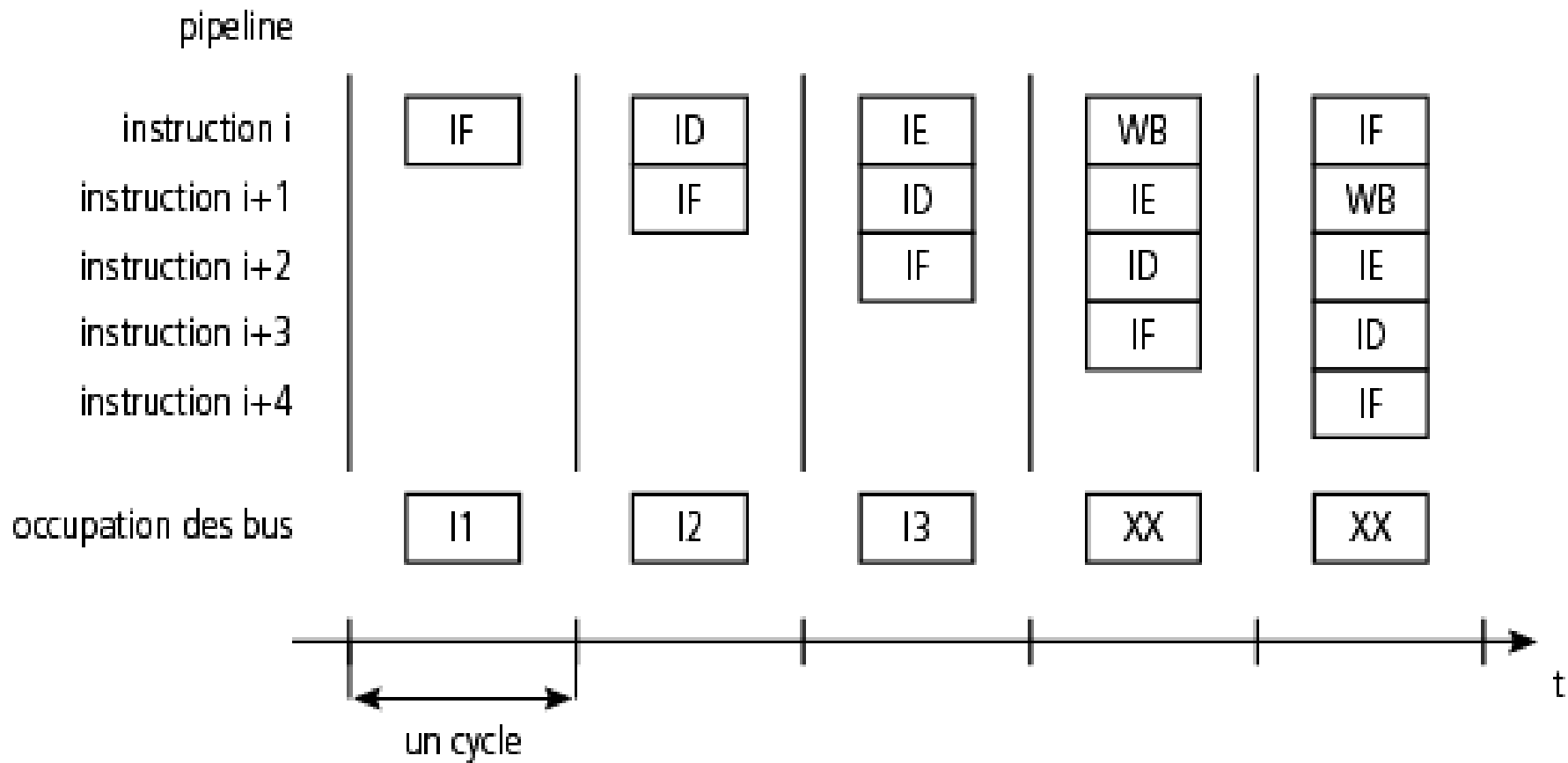


Découpage fonctionnel

- Découpage de l'exécution d'une instruction en plusieurs phases (subdivision fonctionnelle)
 - à chaque phase correspond un étage (*stage*)

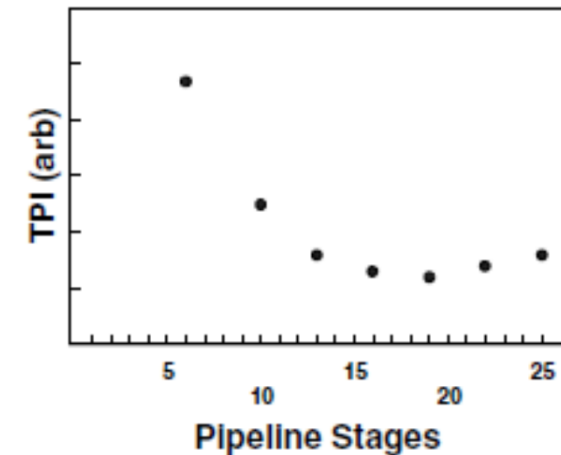
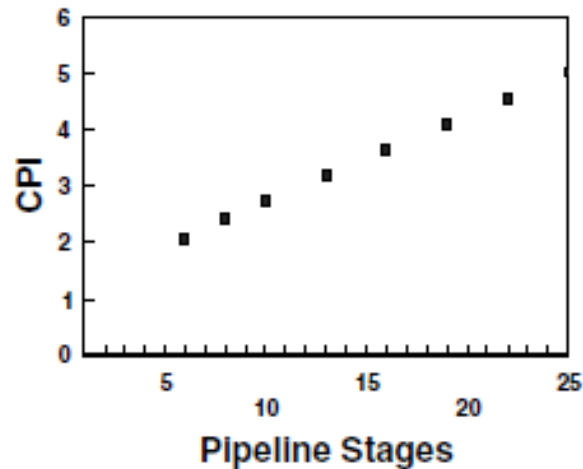


Pipeline en activité

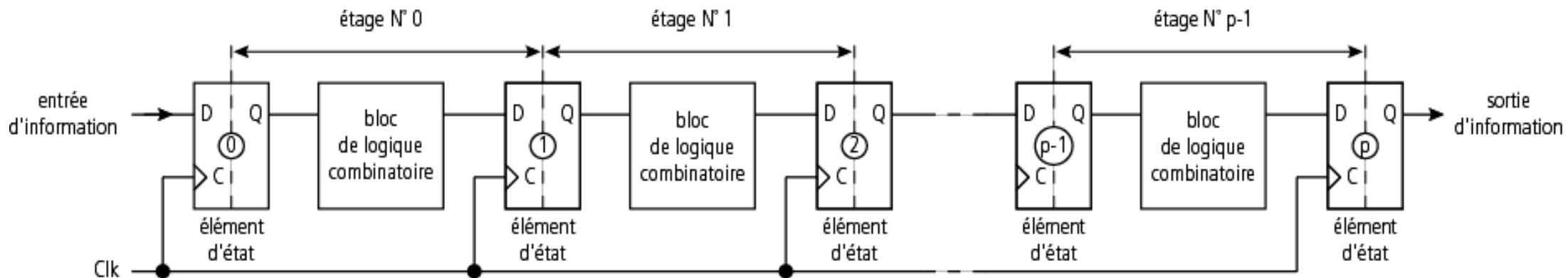


Quel est le nombre optimal d'étages ?

- Mesures
 - CPI (Cycles / Instruction)
 - TPI (Time / Instruction) = MIPS⁻¹
- $p = 10$ à 20 (31 pour le P4)

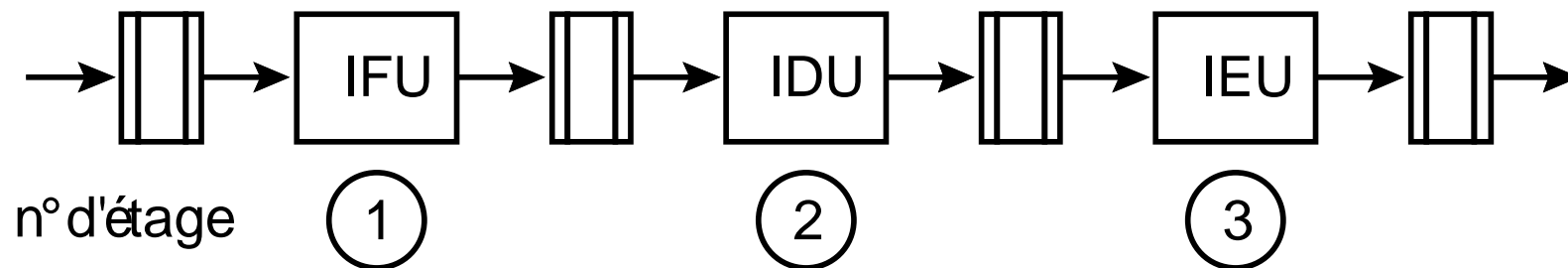
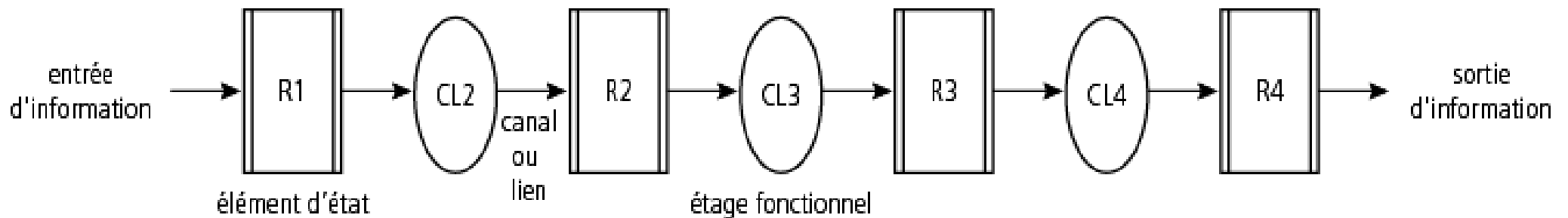


Structure d'un pipeline synchrone



Modélisation fonctionnelle

- Par étage, un registre (élément d'état) et un bloc de logique



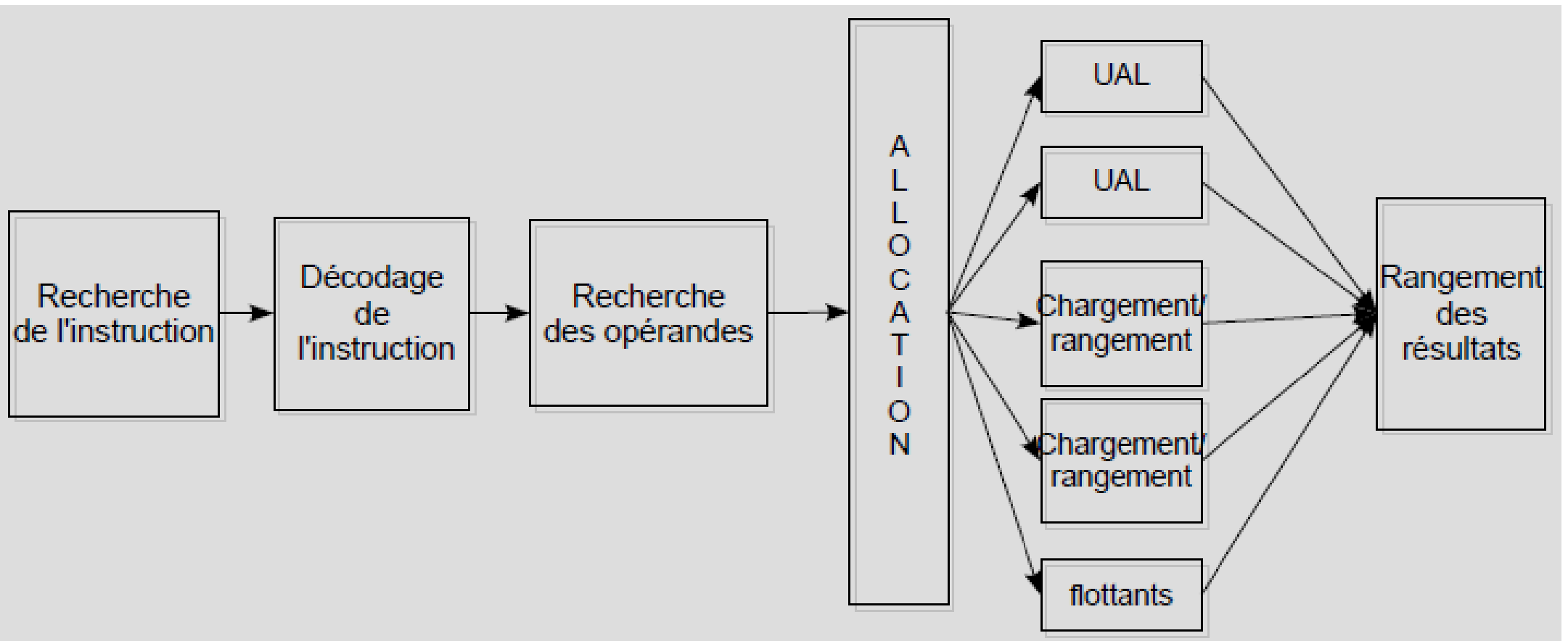
Avantages/inconvénients

- + Parallélisme temporel
- + Exécution "pipelinée" très rapide
- Problème des aléas
 - pénalité temporelle
- Problème des temps liés aux éléments d'état

Architecture superscalaire

- Exécution parallèle d'instructions
 - décodage parallèle
 - plusieurs pipelines à fonctionnement parallèle
- Préservation de la cohérence séquentielle de l'exécution
- Préservation de la cohérence séquentielle du traitement des exceptions
- Modèle de la dépendance forte entre deux instructions
 - dépendante ou indépendante
- Instructions superscalaires

Chemin d'exécution

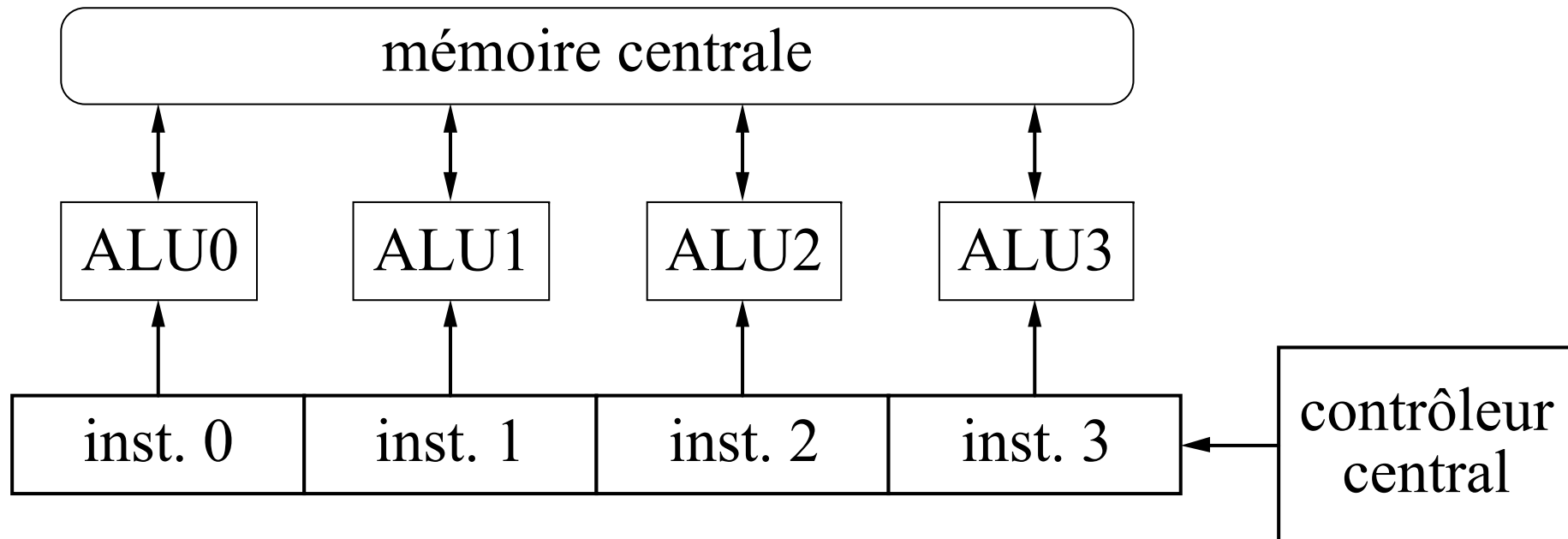


Modèles commerciaux

- Famille Pentium d'intel
 - P5 : le premier (1993, *2-issue superscalar processor*)
- Famille K5, K6 et K7 d'AMD
- Famille Alpha 21x64 de DEC
- Famille UltraSPARC 21x64 de Sun
- Processeur R10000 de MIPS (1995)
- Famille PowePC d'IBM/Motorola/Apple
- Etc.

Les processeurs VLIW

- *Very Long Instruction Word*
- Dérivée directement de l'architecture RISC
- Multiplication des UALs et des FPU



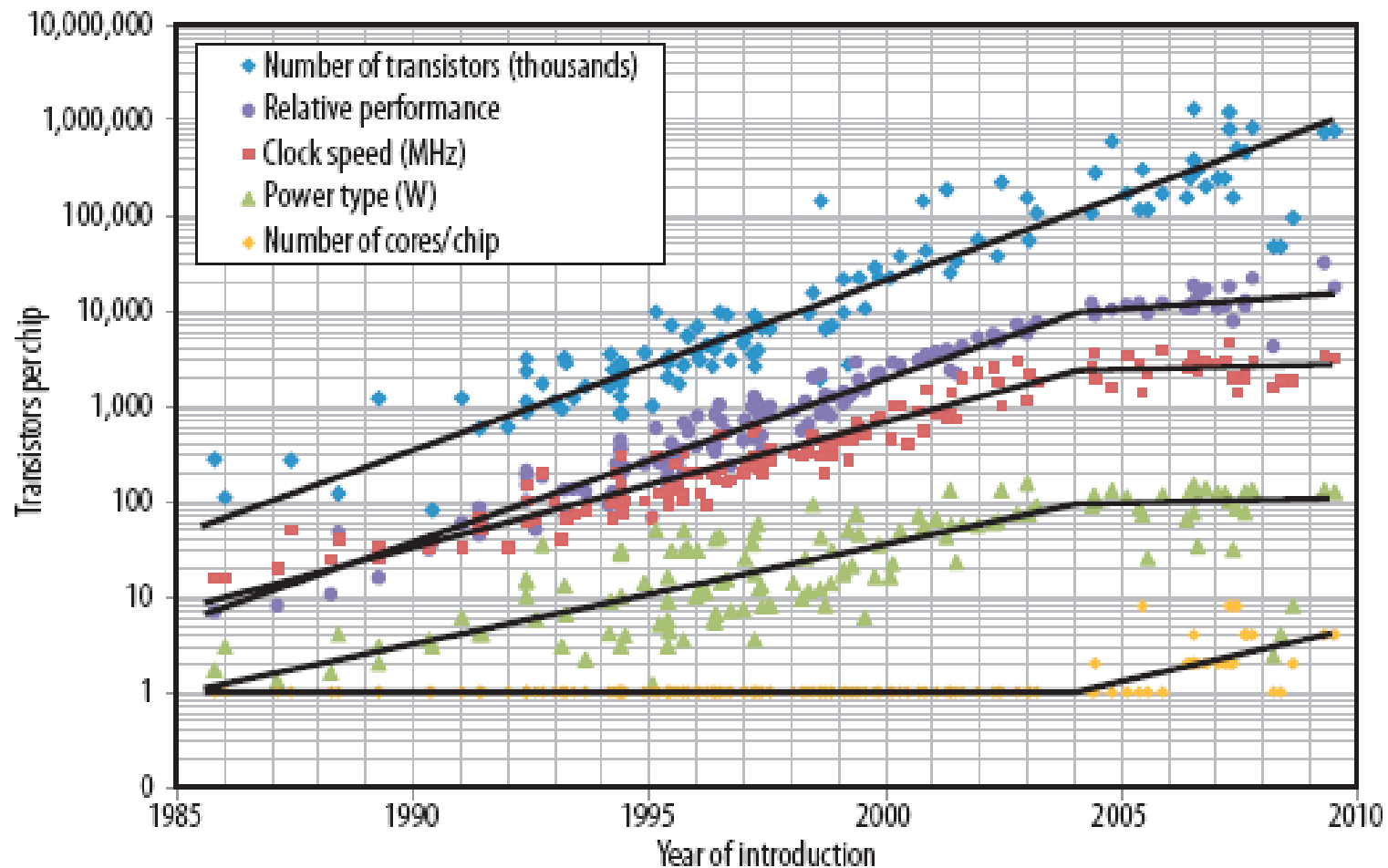
Caractéristiques

- ❑ Format d'instructions : 128 à 1024 bits
- ❑ Opérations parallèles indépendantes
- ❑ Nombre de cycles fixe par instruction longue
- ❑ Contrôleur central chargé d'exécuter une instruction longue par cycle
- ❑ Plusieurs FU (*Fetch Unit*)

Conclusion

- ❑ Les processeurs modernes mélangent les approches RISC et CISC (CRISC !)
- ❑ Aujourd'hui la course à la fréquence d'horloge a stoppé
- ❑ Les CPU généralistes modernes intègrent plusieurs microprocesseurs appelés cœur (*core*)
- ❑ La mémoire cache est intégrée dans le composant

Evolution des performances



[Fuller and Millett 11]